Hardware - Beschreibung

für Kontron PSI908/9C/98 - Systeme

Diese Hardware Beschreibungen enthalten detaillierte Hardware-Informationen über die Computersysteme der Kontron PSI-Reihe. Sie stellen die Arbeitsgrundlage für den erfahrenen Computer-Anwender dar, der die Leistungsfähigkeit und Flexibilität dieser Computersysteme auf System- und Prozessor-Ebene voll nutzen möchte.
Für den Erstbenutzer der Kontron PSI-Systeme ist - unabhängig von seiner generellen Erfahrung auf Computersystemen- die sorgfältige Beachtung des Bedienungshandbuches, der Technischen Beschreibung und der einführenden Schriften empfohlen.

Technische Änderungen bleiben vorbehalten.

Dieses Handbuch ist mit größter Sorgfalt erstellt worden. Es wird jedoch keine Gewähr für die Freiheit von Fehlern und Irrtümern gegeben.

Für alle Anfragen stehen Ihnen unsere Technischen Büros und Ihr Distributor zur Verfügung.

Copyright by Kontron Mikrcomputer GmbH,
Eching
Alle Recht vorbehalten.
April 1984

Kapiteleinteilung der Hardware Beschreibungen:

Für die Systemfamilien

Kontron PSI80
Kontron PSI908/9C/98
Kontron PSI980/9068

sind die jeweils zutreffenden Kapitel in getrennten Beschreibungen zusammengefaßt:

HW - A	KDT5 für Kontron	PSI80
HW - B	KDT6 für Kontron	PSI908/9C/98
HW - C	I/O-Connector Boards für Kontron	PSI908/9C/98
HW - D	TCB/Z80 für Kontron	PSI980Q/980H/980R/C/9068
HW - E	TCB/IOV für Kontron	PSI980Q/980R/C
HW - F	TCB/BUS für Kontron	PSI980
HW - G	TCB/Bus für Kontron	PSI9068

HW - H Konfiguration und Sonderbaugruppen zu Kontron PSI980R-Systemen

HW - I TCB/IOV-2 für Kontron PSI980H/980R/CH

Literaturhinweise:

Weitere Informationen entnehmen Sie bitte den folgenden Dokumentationen:

Bedienungs- und Technische Beschreibung der Systemsoftware Kontron KOS:

EDIT: Editor-Beschreibung
BASIC-Beschreibung
Systemkommandos zum Betriebssystem KOS
KOS-Betriebssystembeschreibung
KOS-Utilities
Assembler, Linker, Crossreference-Generator
Debuggingmodule (KDM)

Bedienungs- und Technische Beschreibung der Systemsoftware CP/M 2.2:

Implementierung der Dienstprogramme und
der CP/M-Grafik-Utilities

Weitere Unterlagen:

Installation:	siehe Installationshandbuch
Service Unterlagen:	siehe jeweilige Dokumentation
Optionale Software:	siehe jeweilige Dokumentation
Kontron ECB-Computer-baugruppen:	siehe jeweilige Dokumentation

Integrierte Schaltungen: siehe Dokumentation der jeweiligen Hersteller

STAND:

TCB/Z80, TCB/IOV, KDT5 und KDT6	April 1984
IOC-Baugruppen 9xx/IOC und 98/IOC	April 1984

FRÜHERE STÄNDE:

KDT5:	Technische Beschreibung	August 1981
KDT4:	Technische Beschreibung	September 1980
9xx/IOC:	Hardware-Beschreibung	Mai 1983
TCB/Z80,	TCB/IOV, KDT5 und KDT6	Dezember 1982

KONTRON PSI 908/9C/98

K D T 6 - HARDWAREBESCHREIBUNG

Stand: April 1984

Beschriebene Version: Rev. 1.2

Dieser Abschnitt beschreibt die dem System KONTRON PSI 908/9C/98 zugrundeliegende Hardware. Die hierin enthaltenen Informationen sind wesentlich für den Systemprogrammierer, der zusätzliche Hardwarefunktionen integrieren will.

I N H A L T:

1. Einführung

1.1 Zweck der Dokumentation
1.2 Kurzbeschreibung der Baugruppe
1.3 Definitionen
1.4 Blockschaltbilder
1.5 LSI-Schaltkreise

2. Hardwarebeschreibung: Zentraler Rechnerteil

2.1 Die Zentraleinheit
2.2 Das Speichersystem
2.2.1 Speicherverwaltung
2.2.2 Festwertspeicher
2.2.3 Schreib-/Lesespeicher
2.2.4 Bildwiederholspeicher
2.2.5 Externe Speicher

2.3 DMA-Controller

3. Hardwarebeschreibung: I/O-Ports

3.1 Zusammenstellung aller I/O-Ports
3.2 Status Ports
3.3 Parallele I/O-Ports
3.4 Serielle I/O-Ports
3.5 Zähler/Zeitgeber Kanäle
3.6 Floppy Disk Controller (FDC)
3.7 Harddisk-Anschluß (SASI-Interface)
3.8 Video Controller (CRTC)
3.9 Real Time Clock
3.10 Watchdog (optional)

4. Anhang

A. Belegung von Stecker A (ECB)
B: Belegung von Stecker B (I/O)
C: Belegung von Stecker C (I/O)
D: Belegung von Stecker D (Power)
E: Liste aller Testpunkte auf der Platine
F: Liste aller IC's
G: Programmierung der PAL-Bausteine
H: Liste aller Adreßsymbole
I: Timingdiagramme und Schaltpläne
J: Voreinstellung der Jumper
K: ECB-Rack
L: Bus-Beschreibung Kontron PSI98

Liste der Tabellen

Nummer	Titel	Seite
1	Adressierung des Memory Mappers	B-10
2	Prom Adreßbereiche	12
3	Adreßzuordnung der Speicherbänke 0...3	13
4	I/O-Adressen des Bildwiederholspeichers	14
5	DMA I/O-Adressen	17
6	I/O-Ports (Adressen 0-1FH)	18
7	I/O-Ports (Adressen 20H-4FH)	19
8	KDT 6 Status Ports	20
9	Bitzuordnung von Status Port 0	20
10	Bitzuordnung von Status Port 1	21
11	Bitzuordnung von Status Port 2 (Write Port)	22
12	Steckerbelegung der parallelen Ein-/Ausgänge	23
13	I/O-Adressen der parallelen I/O-Ports	24
14	I/O-Adressen der seriellen I/O-Ports	24
15	Steckerbelegung der seriellen Ein-/Ausgänge	25
16	I/O-Adressen der Zähler/Zeitgeber Kanäle	26
17	CTC Programmiertabelle zur Baudratengenerierung bei 2 MHz	27
18	CTC Programmiertabelle zur Baudratengenerierung bei 1,2288 MHz	27
19	I/O-Adressen des FD-Controllers	28
20	FDC-Referenztakte	29
21	Steckerbelegung der FDC-Ein-/Ausgänge	30
22	Belegung des FD-Steckers (ST-F)	31
23	I/O-Adressen des SASI-Interface	31
24	Bitzuordnung des SASI Control Port (Write)	32
25	Bitzuordnung des SASI Control Port (Read)	32
26	Belegung des SASI-Steckers (ST-E)	33
27	Steckerbelegung der CRTC-Ein-/Ausgänge	35
28	Bitzuordnung von Statusport 2	36
29	Watchdog I/O-Adressen	39

1. Einführung

Die Rechnerbaugruppe KDT 6 (KDT = Kleine Daten Technik) ist ein mit modernsten hochintegrierten Bauteilen realisierter 'Single Board Computer' auf Basis der Z80A- oder Z80B-CPU. Die Baugruppe ist weitgehend aufwärts-kompatibel zu der in vielen 1000 Exemplaren produzierten Rechnerplatine KDT 5. Trotz der wesentlich gesteigerten Leistungsfähigkeit der Baugruppe gegenüber ihrem Vorgängermodell konnte das Format beibehalten werden. Dies wurde möglich durch:

- Verwendung modernster Bauelemente (64 kbit RAM's, PAL's etc.)
- Multilayer Technologie der Leiterplattenherstellung
- weitgehende Verlagerung der Ein-/Ausgabe Treiberbausteine und Stecker auf eine Zusatzplatine (I/O-Connector Board)

Die Baugruppe wird über drei mechanisch identische 50-polige Steckerleisten mit weiteren Baugruppen innerhalb eines Systems verbunden. Ein komplettes System mit zahlreichen Ein-/Ausgabe-Schnittstellen und einem Anschluß entsprechend dem ECB-Standard erfordert drei Baugruppen:

a) KDT6 (Zentralplatine)
b) 9xx/IOC bzw. 98/IOC (I/O-Connector Platinen)
c) 9xx/BUS bzw. 98/BUS (Busplatine)

Die Kombinationen aus diesen drei Baugruppen kommen in den Systemen der Reihe Kontron PSI 908/98 zum Einsatz.

1.1 Zweck der Dokumentation

Diese Dokumentation soll dem hardwarenahen Programmierer die notwendigen Informationen vermitteln und außerdem als Basis für die Entwicklung spezifischer Hardware-Erweiterungen dienen. Beschrieben ist eine maximal aufgerüstete Version der KDT6. Maßgeblich für die Ausführung der KDT6 in Kontron PSI-Systemen ist die Spezifikation des jeweiligen Systems. Diese Dokumentation gibt keine Auskunft über die Verfügbarkeit von Ausführungsvarianten von Systemen auf Basis der KDT6.

1.2 Kurzbeschreibung der KDT Baugruppe

Die Baugruppe enthält im einzelnen folgende Komponenten:

- Z80A/B CPU mit 4 oder 6 MHz Taktfrequenz
- Power On Reset
- Separate Buspuffer für internen und externen Bus
- DMA Controller (Z80-DMA)
- Memory Manager mit 16 MByte Adreßraum
- 4 bis 8 kByte Prom (2 Sockel)
- 4 Speicherbänke je 64 kByte = 256 kByte 'On Board RAM'
- Eine Video-Speicherbank mit 64k x 10 bit 'On Board Video Refresh Memory'
- 8 Zähler-/Zeitgeberkanäle (2 CTC-Bausteine)
- 16 bit Parallelschnittstelle (PIO-Baustein, ungepuffert)
- 2 Serielle Kanäle (SIO-Baustein, TTL-gepuffert)
- 8 bit Parallelschnittstelle für Keyboard-Anschluß
- Real Time Clock (mit externer Pufferbatterie)
- Watchdog, programmierbar (optional)
- Floppy Disk Controller für alle Laufwerktypen
- Parallelschnittstelle für Harddisk-Anschluß ('SASI-Interface')
- Video Controller für alphanumerische und graphische Betriebsart
- Charactergenerator für 256 oder 512 Zeichen
- Graphikauflösung 512 x 256 Punkte
- Transparenter Bildwiederholspeicher mit 64 kByte
- Versorgung: 5V,3A (voll bestückt)

1.3 Definitionen

Die Baugruppe wird in dieser Dokumentation als KDT bezeichnet. Für die Bezeichnung 'Z80' kann in allen Fällen entweder Z80A oder Z80B stehen.

In den nachfolgenden Abschnitten wird gelegentlich auf die Schalt- und Bestückungspläne der KDT verwiesen. Alle Zeichnungen sind im Anhang zusammengefaßt.

Signalnamen

Aus drucktechnischen Gründen werden 'Active low Signale' mit einem Minuszeichen gekennzeichnet.

Beispiel: - MRQ (active low)
MRQ (active high)

1.4 Blockschaltbilder

Die Abbildungen 1 und 2 zeigen die prinzipielle Struktur von Adreß- und Datenbus auf der Platine. Aus Gründen der Übersichtlichkeit wurde absichtlich darauf verzichtet, detaillierte Zusammenhänge in den Blockschaltbildern darzustellen.

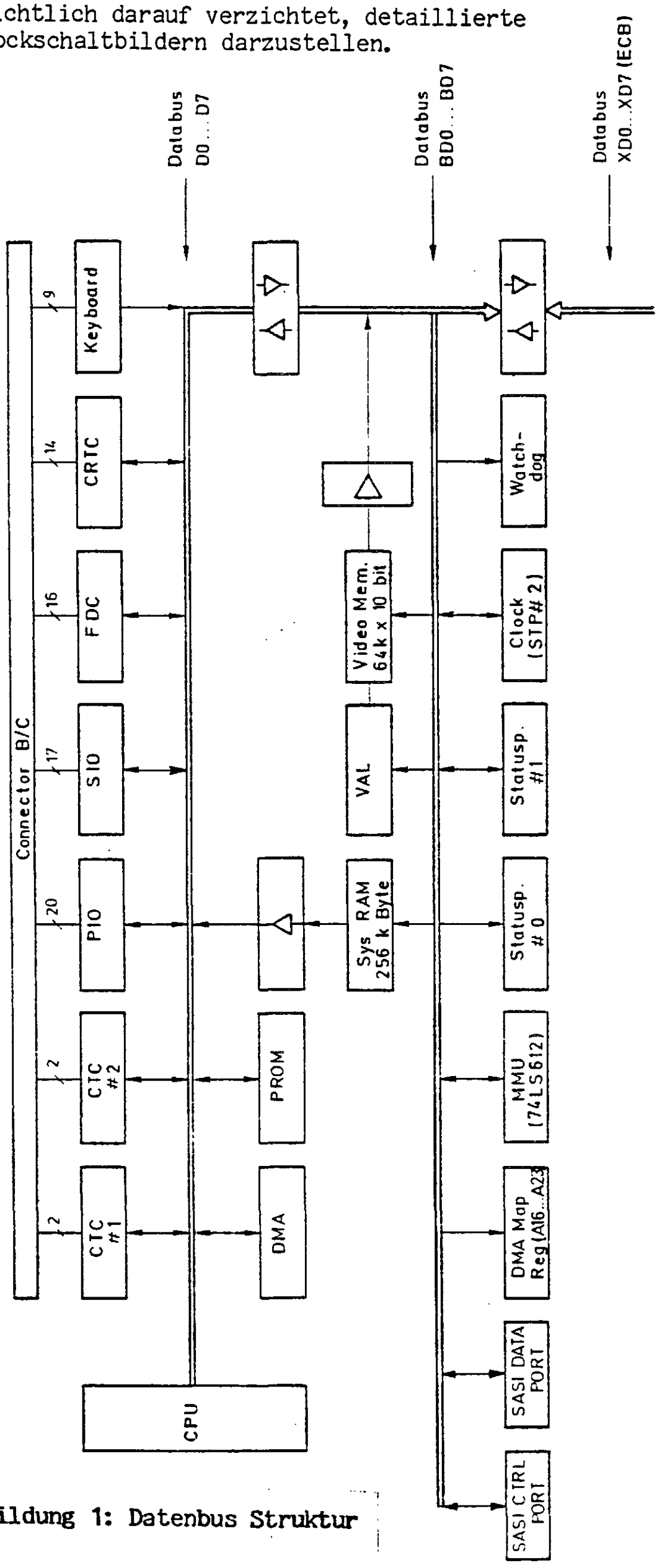


Abbildung 1: Datenbus Struktur

Ax = unbuffererd CPU address

BAx = buffered CPU address

MBAx = mapped address from MMU

XAx = buffered ECB address (external address)

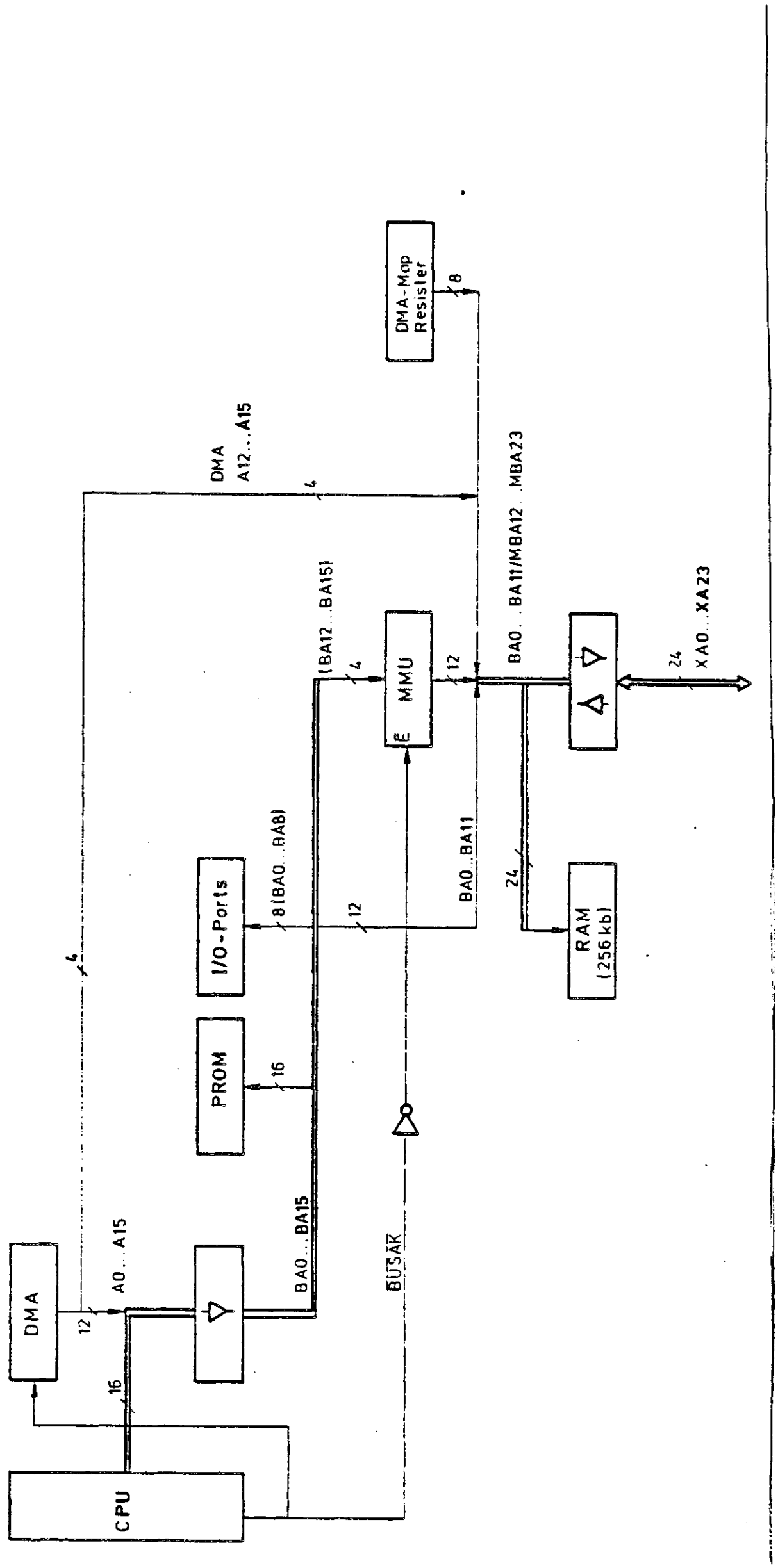


Abbildung 2: Adreßbus Struktur

1.5 LSI-Schaltkreise

LSI-Schaltkreise folgender Hersteller sind auf der Baugruppe eingesetzt.

a)	ZILOG	CPU, DMA, CTC, SIO, PIO	
b)	NEC	uP765	(Floppy Disk Controller)
c)	MOTOROLA	MC6845	(CRT-Controller)
d)	TEXAS Instr.	74LS612	(Memory Mapper)

Diese Dokumentation beinhaltet nicht die Beschreibung dieser Schaltkreise. Nähere Informationen sind den Datenbüchern der entsprechenden Hersteller zu entnehmen.

2. Hardwarebeschreibung: Zentraler Rechnerteil

Der Zentrale Rechnerteil umfaßt die Komponenten:

- CPU mit Takt, Reset und Pufferung
- Speichersystem mit Speicherverwaltung, Festwert-, Schreib-/Lese- und Bildwiederholspeicher
- DMA (Direct Memory Access Controller)

2.1 Die Zentraleinheit

Die Zentraleinheit (Central Processing Unit) der Baugruppe ist mit der Z80-CPU realisiert. Es kann wahlweise die 4 MHz-Version (Z80A-CPU oder die 6 MHz-Version (Z80B-CPU) eingesetzt werden.

a) Takterzeugung

Der Takt für die CPU wird entsprechend der eingesetzten Version von einem 16 oder 24 MHz Quarzoszillator abgeleitet (Blatt 8 der Schaltpläne) und über eine Treiberstufe der CPU und anderen LSI-Schaltkreisen zugeführt (Blatt 1). Der Takt ist am Testpunkt 1 (TP1) meßbar.

Über das Statussignal 'SEL.CLK' (Status Port 0) kann die wirksame Taktfrequenz halbiert werden. Dies ist nach dem Einschalten der Versorgungsspannung automatisch der Fall, womit gewährleistet ist, daß zum Kaltstart (Boot) eines KDT-basierenden Systems auch in 6 MHz Systemen Standard EProm Typen mit Zugriffszeiten von ca. 400 ns eingesetzt werden können.

b) Reset

Ein Reset-Signal für die CPU und alle Schaltkreise mit entsprechendem Eingang wird automatisch durch das Anlegen der Versorgungsspannung erzeugt (Power On Reset). Über den Eingang 'RESET.IN' (Stecker A-50/Stecker D-7) kann zudem ein manuelles Reset-Signal, beispielsweise über einen Schalter, ausgelöst werden.

c) Pufferung

Alle Bussysteme der CPU (Adreß-, Daten- und Steuerbus) sind unmittelbar nach der CPU durch Treiber mit Schmitt-Trigger-Charakteristik gepuffert (Blatt 1 - 74LS541/LS245). Von dort führen die Signale zu den einzelnen Komponenten der Baugruppe, sowie zu separaten Buspuffern für den externen ECB-Busanschluß. Diese Puffer sind bidirektional und unterstützen deshalb auch den direkten Speicher- oder I/O-Port-Zugriff durch externe DMA-Controller.

2.2 Das Speichersystem

Das Herz des Speichersystems ist ein LSI-Baustein zur Speicherverwaltung (Memory Manager), der die von der CPU stammenden logischen Adressen (16 bit, 64 kByte) in physikalische Adressen (24 bit, 16 MByte) umsetzt. Alle Speicheradressen, mit Ausnahme derjenigen für die EProm's, werden grundsätzlich durch 24 bit (A0...A23) repräsentiert. Dies gilt auch bei DMA-basierenden Speicherzugriffen.

2.2.1 Speicherverwaltung

a) Der Baustein 74LS612

Die Speicherverwaltung basiert auf dem LSI-Baustein 74LS612 (Blatt 3). Dieser beinhaltet 16 frei programmierbare sogenannte MAP-Register, welche die höherwertigen 4 Adreßbits der CPU (A12...A15) in 12 Adreßbits (MA12...MA23) umsetzen (Paging). Hierbei dient die logische 4 Bit-Adresse, gebildet aus A12...A15, zur Adressierung eines der 16 MAP-Register. Die Speicherverwaltung wird unter drei Umständen umgangen:

- Ein DMA-basierender Zugriff ist im Gange (BUSAK aktiv). In diesem Fall muß der DMA-Controller die Adressen A0...A23 bereitstellen. Die Ausgänge M00...M011 des Memory Mappers gehen in den hochohmigen Zustand.

- Das Statussignal (Status Port 1) 'SEL.SYSM' (Select System Memory) von Status Port 1 ist gesetzt.

- Ein I/O-Zugriff findet statt (IORQ aktiv)

In den beiden letzten Fällen sind die Adreßbits MA16...MA23 immer 0, sowie die Adreßbits A12...A15 unverändert. Dieser Zustand ist gekennzeichnet durch das Signal 'DIS.MAP' (Disable Mapper).

b) Adressierung und Programmierung des Bausteins 74LS612

Der Baustein wird als I/O-Port adressiert. Er beansprucht entsprechend der 16 MAP-Register 16 I/O-Adressen, die mit den Adreßbits A0...A3 unterschieden werden. Die Basisadresse des Bausteins ist 20 (Hex).

Tabelle 1: Adressierung des Memory Mappers (74LS612)

während I/O-Zyklen adressiert durch					MAP	während Speicherzyklen adressiert durch			
A7...A4	A3	A2	A1	A0	Hex	Rg.#	A15	A14	A13	A12
	0	0	0	0	20	0	0	0	0	0
	0	0	0	1	21	1	0	0	0	1
	0	0	1	0	22	2	0	0	1	0
	0	0	1	1	23	3	0	0	1	1
	0	1	0	0	24	4	0	1	0	0
	0	1	0	1	25	5	0	1	0	1
	0	1	1	0	26	6	0	1	1	0
0 0 1 0	0	1	1	1	27	7	0	1	1	1
	1	0	0	0	28	8	1	0	0	0
	1	0	0	1	29	9	1	0	0	1
	1	0	1	0	2A	10	1	0	1	0
	1	0	1	1	2B	11	1	0	1	1
	1	1	0	0	2C	12	1	1	0	0
	1	1	0	1	2D	13	1	1	0	1
	1	1	1	0	2E	14	1	1	1	0
	1	1	1	1	2F	15	1	1	1	1

Da jedes MAP-Register eine Breite von 12 bit (D0...D11) hat, müssen die Bits D0...D3 vor jeder Programmierung eines MAP-Registers getrennt bereitgestellt werden. Dies geschieht über den Status Port 2 der Baugruppe. Alle MAP-Register können auch gelesen werden, jedoch nur deren Bits D4...D11. Ein Beispiel soll die Arbeitsweise des Memory Mappers verdeutlichen.

Annahme:

a) Das MAP-Register 0 enthalte in den Bitstellen D0...D11
den Wert 0011 0001 1010 (Hex: 31AH)

b) Die CPU sende die Adresse 0000 xxxx xxxx xxxx (Hex: 0XXXH) aus.

Daraus resultiert folgende physikalische 24 bit-Adresse:

0101 1000 0011 xxxx xxxx xxxx (Hex: 583XXXH)

entsprechend der Abbildungsvorschrift:

D0 --> A23, D1 --> A22 ... D7 --> A16, D11 --> A15 ... D8 --> A12

Die niederwertigen 12 Adreßbits bleiben also unverändert. Die Basisadresse eines 4 kByte Speicherbereichs kann somit nach Belieben in den physikalischen Adreßraum von theoretisch 16 MByte gelegt werden.

c) Beispiele zur Programmierung des Memory Mappers

1. für eine 1:1 Transformation (Speicherbank #0)

```
init.mapper:

        ld hl,mmu.table       ; pointer to mmu.table
        ld b,16               ; loop counter
        ld c,map.reg.0-1      ; mmu base adress minus 1
        xor a
        out (stp.2.write),a   ; set mapper bits D0...D3
loop:
        inc c                 ; increment mapper address
        outi                  ; program MAP-register
        jr nz,loop            ; loop 16 times
        ret

 mmu.table:
        defb 0                ; page 0 (0000h-0FFFh)
        defb 8                ; page 1 (1000h-1FFFh)
        defb 4                ; page 2 (2000h-2FFFh)
        defb 0ch              ; page 3 (3000h-3FFFh)
        defb 2                ; page 4 (4000h-4FFFh)
        defb 0ah              ; page 5 (5000h-5FFFh)
        defb 6                ; page 6 (6000h-6FFFh)
        defb 0eh              ; page 7 (7000h-7FFFh)
        defb 1                ; page 8 (8000h-8FFFh)
        defb 9                ; page 9 (9000h-9FFFh)
        defb 5                ; page A (A000h-AFFFh)
        defb 0dh              ; page B (B000h-BFFFh)
        defb 3                ; page C (C000h-CFFFh)
        defb 0bh              ; page D (D000h-DFFFh)
        defb 7                ; page E (E000h-EFFFh)
        defb 0fh              ; page F (F000h-FFFFh)
```

2. der logische Adreßbereich von 4000H bis 4FFFH soll den physikalischen Adreßbereich von 2000H bis 2FFFH von Bank #1 adressieren:

```
set.mapper:
        xor a
        out (stp.2.write),a    ; set mapper bits D0...D3
        ld a,14h               ; select bank 1, page 2
        out(map.reg.4),a       ; program MAP-register #4
        ret
```

Abschließend die Zuordnung zwischen CPU-Datenbits (Programmierungsphase) und Speicheradresse (Transformationsphase).

	Page Select				Bank Select			
Adresse:	A15	A14	A13	A12	A16	A17	A18	A19
CPU Datenbit	D0	D1	D2	D3	D4	D5	D6	D7
	Bank Select							
Adresse Status Port 2	A20	A21	A22	A23				
	D3	D2	D1	D0				

2.2.2 Festwertspeicher (PROM)

Zur Aufnahme von Festwertspeichern (PROM's) stehen zwei 24-polige Steckplätze zur Verfügung. Es kann der EProm-Typ 2732 von Intel (4 kByte) eingesetzt werden.

Die Adressierung der beiden Promsockel erfolgt nicht über die Speicherverwaltung, sondern direkt über die gepufferten Adressen der CPU, da der Prombereich adressiert werden muß, bevor die Speicherverwaltung programmiert ist. Über das Signal 'POFF' (Status Port 0, Bit 5) kann der Prombereich völlig abgeschaltet werden. Die den beiden Promsockeln (PROM1/PROM2) zugeordneten Adressen sind in Tabelle 2 zusammengefaßt.

Tabelle 2: Prom Adreßbereiche

Sockel	Adreßbereich	POFF
PROM 1 (I2732)	0000 - 0FFF	0
PROM 2 (I2732)	1000 - 1FFF	0

Hinweis:

Der Prombereich ist als 'Read Only Memory' geschaltet, d.h.: Schreibzugriffe auf den physikalischen Adreßbereich der Prom's adressieren das in diesem Bereich liegende RAM.

2.2.3 Schreib-/Lesespeicher (RAM)

Der Schreib-/Lesespeicher der Baugruppe ist mit modernen 64 kBit x 1 dynamischen RAM-Bausteinen aufgebaut und umfaßt 4 Bänke je 64 kByte, also insgesamt 256 kByte. Die Bänke werden im folgenden als Bank 0 ... Bank 3 bezeichnet.

Daneben ist ein eigener 10 x 64 kbit Bildwiederholspeicher realisiert, der fest dem CRT-Controller zugeordnet ist (siehe auch Abschnitt Bildwiederholspeicher).

Adressierung der Speicherbänke

Die Bänke 0 bis 3 sind folgenden physikalischen 24 bit Adressen zugeordnet (Tabelle 3):

Tabelle 3: Adreßzuordnung der Speicherbänke 0...3

Bank	A23...A18	A17	A16	A15...A0	Hex
0	0	0	0	x	00 xxxx
1	0	0	1	x	01 xxxx
2	0	1	0	x	02 xxxx
3	0	1	1	x	03 xxxx

Der Adreßdekodierer (Blatt 3) ist mit einem PAL-Baustein (PAL1, Typ 12L6) realisiert. Er liefert die RAS-Signale (Row Address Strobe) für die Speicherbänke 0 bis 3 (RAS0...RAS3), desweiteren die Steuersignale 'INT.MEM' (Internal Memory) und 'SEL.RAM' (Select Ram). Die Gleichungen dieses PAL-Bausteins und aller anderen PAL's sind im Anhang zusammengestellt.

2.2.4 Bildwiederholspeicher

a) Übersicht

Der Bildwiederholspeicher besteht aus einer 64k x 10 bit RAM-Bank.

Die Adressierung des Bildwiederholspeichers durch die CPU erfolgt ausschließlich über I/O Read/Write Befehle.

b) Der Bildwiederholspeicher als I/O-Port

Der gesamte Bildwiederholspeicher kann formal als I/O-Port betrachtet werden, dem 4 I/O-Adressen zugeordnet sind. Dieses Verfahren bietet einige entscheidende Vorteile gegenüber der Speicheradressierung:

- keine Stackmanipulationen vor dem Zugriff auf den Bildwiederholspeicher notwendig
- keine Mapper Programmierung notwendig
- keine Restriktionen bezüglich der Lage von Interrupt Service Routinen in einem System
- 100 %-ige Trennung zwischen System- und Videospeicher

Der Zugriff auf den Bildwiederholspeicher über I/O-Befehle erfordert gewöhnlich 3 Schritte:

a) Übertragung des Low Byte der Adresse in das Video Address Latch Low (val.low)

b) Übertragung des High Byte der Adresse in das Video Address Latch High (val.high)

c) Übertragung des eigentlichen Datenbyte

Das Video Address Latch ist als programmierbarer 16 Bit Vor-/Rückwärtszähler realisiert (Blatt 12). Dieser Zähler kann optional nach der Übertragung des Datenbytes automatisch inkrementiert oder dekrementiert werden. Der Datenaustausch mit aufeinanderfolgenden Speicherstellen des Bildwiederholspeichers erfordert deshalb nur die **einmalige** Übertragung einer Adresse und ansonsten einen I/O-Befehl pro Byte. Zur Manipulation des Bildwiederholspeichers können somit auch die Blocktransferbefehle der Z80-CPU (OTIR, INIR) angewandt werden. Tabelle 4 enthält die für den Bildwiederholspeicher relevanten I/O-Adressen.

Tabelle 4: Die I/O-Adressen des Bildwiederholspeichers

Adresse	I/O-Port	Adreßsymbol
30	Video Bank	vmb0
31	Video Bank + Auto Increment	vmb0.auto.inc
36	Video Bank + Auto Decrement	vmb0.auto.dec
37	Video Bank + Auto Increment	vmb0.auto.inc
40	Video Address Latch (High)	val.high
41	Video Address Latch (Low)	val.low

c) Programmbeispiele

1. Beispiel:

Der Inhalt von Register <A> soll in den Bildwiederholspeicher (Adresse: <DE>) geschrieben werden.

```
write.to.bank : ld c, val.low     ; video address latch (low)
                out (c), e        ; transfer low address
                dec c             ; video address latch (high)
                out (c), d        ; transfer high address
                out (vmb0), a     ; transfer data byte
                ret               ; return to caller
```

2. Beispiel:

Aus dem Systemspeicher ab Adresse <HL> sollen 80 Bytes in den Bildwiederholspeicher übertragen werden (Adresse <DE>)

```
move.to.bank : ld c, val.low          ; video address latch (low)
               out (c), e             ; transfer low address
               dec c                  ; video address latch (high)
               out (c), d             ; transfer high address
               ld c, vmb0.auto.inc    ; video data address (auto inc)
               ld b, 80               ; byte counter
               otir                   ; transfer 80 bytes
               ret                    ; return to caller
```

2.2.5 Externe Speichererweiterung

Externe Speichererweiterungen können mit standardmäßigen ECB-Baugruppen (z.B. ECB/D256) über den ECB-Busanschluß der KDT-Baugruppe realisiert werden. Voraussetzung ist, daß alle externen Speicherbaugruppen die Adreßbits A16...A23 zur Adreßdekodierung mitverwenden. Diese Adressen sind identisch mit den früher definierten MBS-Signalen (Memory Bank Select) der ECB-Busdefinition.

Alle Speicheradressen größer als 04 0000 (Hex) adressieren automatisch einen externen Speicher. Wie bereits beschrieben, kann die Abbildung von logischen CPU-Adressen in physikalische Speicheradressen in 4 kByte-'Pages' festgelegt werden.

2.3 DMA-Controller

Die Baugruppe besitzt standardmäßig einen Z80-DMA Baustein mit eigenem MAP-Register für die Adressen A16...A23 (Blatt 2).

Tabelle 5: DMA I/O-Adressen

Adresse	I/O-Port	Adreßsymbol
0	Z80-DMA	dma
1	nicht verwendet	
2	nicht verwendet	
3	nicht verwendet	
3C	Map Register für DMA (A16...A23)	dma.map.reg

Über einen Multiplexer (IC 71: 74LS153) kann durch das Statusbit 4 von Status Port 0 und Bit 3 vom SASI-Controlport eines von drei Trigger Signalen an den Ready Eingang des DMA geschaltet werden.

SASI-Controller Bit 3	Status-port 0 Bit 4	DMA-Ready Signal
1	0	FDC.DRQ (Floppy Disk Controller, Data Request)
1	1	SIOA.RDY (SIO Data Request, Kanal A)
0	x	SASI.DRQ (Data Request vom SASI-Interface)

3. Hardwarebeschreibung: I/O-Ports

Alle I/O-Leitungen sind auf die beiden 50-poligen Stecker B und C herausgeführt (ST-B/ST-C).

3.1 Zusammenstellung aller I/O-Ports

Die Baugruppe beansprucht 50 (Hex) I/O-Adressen entsprechend der Aufstellung in den Tabellen 6 und 7. Die mit einem * gekennzeichneten I/O-Ports sind kompatibel zur KDT 5.

Tabelle 6: I/O-Ports (Adressen 0-1FH)

Adresse	I/O-Port	Adreßsymbol
00 (*)	Z80A-DMA	dma
01 -	-	-
02 -	-	-
03 -	-	-
04 (*)	SIO Channel A data	sio.channel.a
05 (*)	SIO Channel B data	sio.channel.b
06 (*)	SIO Channel A control	sio.channel.a+2
07 (*)	SIO Channel B control	sio.channel.b+2
08 (*)	CTC1 Channel 0	ctc1.channel.0
09 (*)	CTC1 Channel 1	ctc1.channel.1
0A (*)	CTC1 Channel 2	ctc1.channel.2
0B (*)	CTC1 Channel 3	ctc1.channel.3
0C (*)	PIO Port A data	pio.port.a
0D (*)	PIO Port B data	pio.port.b
0E (*)	PIO Port A control	pio.port.a+2
0F (*)	PIO Port B control	pio.port.b+2
10 (*)	CTC2 Channel 0	ctc2.channel.0
11 (*)	CTC2 Channel 1	ctc2.channel.1
12 (*)	CTC2 Channel 2	ctc2.channel.2
13 (*)	CTC2 Channel 3	ctc2.channel.3
14 (*)	FDC 765 control	fdc.765.status
15 (*)	FDC 765 data	fdc.765.data
16 -	-	-
17 -	-	-
18 (*)	CRTC 6845 control	crtc.pointer
19 (*)	CRTC 6845 data	crtc.data
1A -	-	-
1B -	-	-
1C (*)	Status Port #0 (Write)	stp.0
1D (*)	Keyboard Input Register	keyboard
1E (*)	FDC DACK (Data Acknowledge)	fdc.dack
1F (*)	FDC TC (Terminal Count)	fdc.tc

Tabelle 7: I/O-Ports (Adressen: 20H-4FH)

Adresse	I/O-Port	Adreßsymbol
20-2F	74LS612 Memory MAP-Register 0...15	map.reg.xx
30	Video Bank	vmb0
31	Video Bank + Auto Increment	vmb0.auto.inc
32	-	
33	-	
34	-	
35	-	
36	Video Bank + Auto Decrement	vmb0.auto.dec
37	Video Bank + Auto Increment	vmb0.auto.inc
38	Status Port #1 (STP1) Write	stp.1.write
39	Status Port #1 (STP1) Read	stp.1.read
3A	Status Port #2 (STP2) Write	stp.2.write
3B	SASI Control Port	sasi.ctrl
3C	DMA Map Register	dma.map.reg
3D	Watch Dog Register (optional)	wdog.reg
3E	Watch Dog Trigger (optional)	wdog.trigger
3F	SASI Data Port	sasi.data
40	Video Address Latch (high byte)	val.high
41	Video Address Latch (low byte)	val.low
42-4F	-	-

Die Adressen ab 50H können externen I/O-Ports zugeordnet werden.

Wichtiger Hinweis:

Die symbolischen Adressen sind als Empfehlung zu betrachten. Es wird empfohlen, in allen ASM-Programmen für die KDT-Baugruppe obige Symbole zur einheitlichen Kennzeichnung der I/O-Ports zu verwenden.

3.2 Status Ports

Die Baugruppe enthält drei sogenannte Status Ports (stp.0...stp.2), die im allgemeinen zur Programmierung der Hardware dienen. Der Status Port 0 ist aufwärtskompatibel zum (einzigen) Status Port der KDT 5.x.

Tabelle 8: I/O-Adressen der Status Ports

Adresse	I/O-Port	Adreßsymbol
1C	Status Port 0 (write only)	stp.0
38	Status Port 1 (write only)	stp.1.write
39	Status Port 1 (read only)	stp.1.read
3A	Status Port 2 (write only)	stp.2.write

Achtung:

Der Status Port 0 kann und darf nicht gelesen werden (Kompatibilität zu KDT 5.x).

3.2.1 Status Port 0

Tabelle 9: Bitzuordnung von Status Port 0

Bit#	Pegel	Funktion
0	0	Watchdog ist gesperrt
	1	Watchdog ist freigegeben
1	0	Systemfrequenz beträgt 0.5x Phi (2/3 MHz)
	1	Systemfrequenz beträgt 1.0x Phi (4/6 MHz)
2	0	Audiokanal ist gesperrt
	1	Audiokanal ist freigegeben
3	0	Zeichensatz 0 (A12 für 2764 Character Generator)
	1	Zeichensatz 1 (A12 für 2764 Character Generator)
4	0	FDC.DRQ ist DMA Triggersignal (falls SASI-Control/Bit 3 = 1)
	1	SIOA.RDY ist DMA Triggersignal (falls SASI-Control/Bit 3 = 1)
5	0	Prom Bereich eingeschaltet
	1	Prom Bereich abgeschaltet
6	0	8" FD-Laufwerke (Standard FD)
	1	5 1/4" FD-Laufwerke (Mini FD)
7	0	FD-Laufwerk Motor abgeschaltet
	1	FD-Laufwerk Motor angeschaltet

Alle Bits von Status Port 0 werden beim Anlegen der Versorgungsspannung und durch jeden Reset automatisch auf 0 gesetzt.

3.2.2 Status Port 1

Status Port 1 ist mit Ausnahme von Bit 7 dem Video Controller Teil der Baugruppe zugeordnet. Im einzelnen gilt folgende Bitzuordnung:

Tabelle 10: Bitzuordnung von Status Port 1

Bit #	Bezeichnung	Funktion
0	VA14	Bit 14 der CRT-Controller Scrolladresse
1	VA15	Bit 15 der CRT-Controller Scrolladresse
2	VBIT8	Bit 8 des Bildwiederholspeichers (10 bit)
3	VBIT9	Bit 9 des Bildwiederholspeichers (10 bit)
4	-	
5	VID.INV	Invertiert das Videosignal 0 - Hintergrund dunkel 1 - Hintergrund hell
6	SEL.DM	Selektiert den 'Display Mode' 0 - Graphische Darstellung 1 - Alphanumerische Darstellung
7	SEL.SYSM	Selektiert die Systemspeicherbank (Bank 0). In diesem Fall führt die Speicherverwaltung keine Adreßtransformation durch (Bit 7=1).

Hinweise zu den Bits 0 bis 3

a) VA14 und VA15 bestimmen die höherwertigen beiden Bits der Scroll- adresse des CRT-Controllers, der selbst nur 14 Adreßbits bereitstellt. Die Scrolladresse bestimmt die Anfangsadresse des auf dem Monitor dargestellten Ausschnitts des Bildwiederholspeichers.

b) Die Videobank ist 10 bit breit (10 x 64 kBit). VBIT8 und VBIT9 bestimmen, was beim Beschreiben des Bildwiederholspeichers in dessen höherwertige Bits 8 und 9 geschrieben wird. VBIT8 und VBIT9 haben folgende Wirkung:

VBIT8 - Zeicheninvertierung
VBIT9 - Zeichen Blinken (Blinking)

Die Funktionen 'Invertieren' und 'Blinken' sind auf der I/O-Connector Platine realisiert. Insofern haben VBIT8 bzw. VBIT9 auf der KDT selbst keine besondere Bedeutung.

Achtung: Für Status Port 1 gelten unterschiedliche Adressen für Read/Write Operationen (39H bzw. 38H). Von Adresse 38H darf nicht gelesen werden.

3.2.3 Status Port 2

Status Port 2 ist ein 'Write only'-Port, der primär dem Real Time Clock Chip (NEC 1990, Blatt 8) zugeordnet ist. Außerdem werden über diesen Port die höherwertigen Datenbits bei der Programmierung des Memory Mappers (74LS612) festgelegt.

Tabelle 11: Bitzuordnung von Status Port 2 (Write only Port)

Bit #	Funktion
0	MAPD 3/Data Input-uP 1990
1	MAPD 2/Control 0-uP 1990
2	MAPD 1/Control 1-uP 1990
3	MAPD 0/Control 2-uP 1990
4	CK (Clock) - uP 1990
5	STB (Strobe) - uP 1990
6	OE (Output Enable) - uP 1990
7	CS (Chip Select) - uP 1990

Hinweis:

Der Real Time Clock Chip 'uP 1990' ist nur dann selektiert, wenn Bit 7 (Chip Select) aktiv ist.

Das Auslesen der Real Time Clock geschieht über den SASI Control Port, Bit 0.

3.3 Parallele I/O-Ports

Es stehen insgesamt 24 parallele I/O-Datenleitungen, sowie 5 Handshakesignale zur Verfügung. Die Aufteilung ist wie folgt:

Z80-PIO	16	Datenleitungen (Input/Output)
	4	Handshakeleitungen
74LS374	8	Datenleitungen (Keyboard Input)
	1	Strobeleitung

Tabelle 12: Steckerbelegung der parallelen Ein-/Ausgänge

B-1	-	Keyboard Data 7
B-2	-	Keyboard Date 6
B-3	-	Keyboard Data 5
B-4	-	Keyboard Data 4
B-5	-	Keyboard Data 3
B-6	-	Keyboard Data 2
B-7	-	Keyboard Data 1
B-8	-	Keyboard Data 0
B-10	-	Keyboard Strobe (CTC2-Clock 1)
B-12...B19		PIO Port A: A0...A7
B-20		PIO Port A: Ready (ARDY)
B-21		PIO Port A: Strobe (ASTRB)
B-22		PIO Port B: Strobe (BSTRB)
B-23		PIO Port B: Ready (BRDY)
B-24...B-31		PIO Port B: B0...B7

Alle PIO-Anschlüsse sind ungepuffert. Pull Up Widerstände von 1k Ohm befinden sich an den Strobe-Eingängen (ASTRB/BSTRB).

Tabelle 13: I/O-Adressen der parallelen I/O-Ports

Adresse	I/O-Port	Adreßsymbol
0C	PIO Port A Data	pio.port.a
0D	PIO Port B Data	pio.port.b
0E	PIO Port A Control	pio.port.a+2
0F	PIO Port B Control	pio.port.b+2
1D	Keyboard Input (74LS374)	keyboard

3.4 Serielle I/O-Ports

Die Baugruppe enthält zwei serielle I/O-Ports, realisiert mit dem Baustein Z80-SIO, der asynchrone und synchrone Übertragungsarten unterstützt.

Tabelle 14: I/O-Adressen der seriellen I/O-Ports

Adresse	I/O-Port	Adreßsymbol
4	SIO Port A Data	sio.channel.a
5	SIO Port B Data	sio.channel.b
6	SIO Port A Control	sio.channel.a+2
7	SIO Port B Control	sio.channel.b+2

Alle I/O-seitigen Anschlüsse des Z80-SIO's sind zum Teil TTL-gepuffert an Stecker ST-B herangeführt. Wie bereits mehrfach erwähnt, befindet sich das leitungsspezifische Interface in KDT-basierenden Systemen auf einer separaten I/O-Platine (KDT/IOC).

Tabelle 15: Steckerbelegung der seriellen Ein-/Ausgänge

SIO-Anschluß	Bezeichnung	Anschluß: ST-B	Input	Output
15/TxDA	Transmitter Data	B-32 (*)		x
16/DTRA	Data Terminal Ready	B-33		x
17/RTSA	Ready to Send	B-34		x
12/RxDA	Receiver Data	B-35 (*)	x	
18/CTSA	Clear to Send	B-36	x	
19/DCDA	Data Carrier Detect	B-37	x	
14/TxCA	Transmitter Clock	B-38 (*)	x	
13/RxCA	Receiver Clock	B-39 (*)	x	
11/SYNCA	Sync In/Out	B-40	x	x
26/TxDB	Transmitter Data	B-48 (*)		x
25/DTRB	Data Terminal Ready	B-47		x
24/RTSB	Ready to Send	B-46		x
28/RxDB	Receiver Data	B-45	x	
23/CTSB	Clear to Send	B-44	x	
22/DCDB	Data Carrier Detect	B-43	x	
27/RxTxCB	Transceiver Clock	B-42 (*)	x	
29/SYNCB	Sync In/Out	B-41	x	x

(*) Diese Signale sind TTL-gepuffert (Schmitt Trigger-Charakteristik).

3.5 Zähler/Zeitgeber Kanäle

Zwei Z80-CTC Bausteine stellen insgesamt 8 Counter/Timer Kanäle bereit.

Tabelle 16: I/O-Adressen der Zähler/Zeitgeber Kanäle

Adresse	I/O-Port	Adreßsymbol
08H	CTC1 Channel 0	ctc1.channel.0
09H	CTC1 Channel 1	ctc1.channel.1
0AH	CTC1 Channel 2	ctc1.channel.2
0BH	CTC1 Channel 3	ctc1.channel.3
10H	CTC2 Channel 0	ctc2.channel.0
11H	CTC2 Channel 1	ctc2.channel.1
12H	CTC2 Channel 2	ctc2.channel.2
13H	CTC2 Channel 3	ctc2.channel.3

Verwendung der Kanäle:

```
CTC1 Channel 0 - Interrupt für FD-Controller uP765
CTC1 Channel 1 - Baudrate SIO Port B (siehe Hinweis)
CTC1 Channel 2 - Baudrate SIO Port A (siehe Hinweis)
CTC1 Channel 3 - Interrupt für Light Pen Input

CTC2 Channel 0 - Tongenerator
CTC2 Channel 1 - Interrupt für Keyboard Strobe
CTC2 Channel 2 - VSync Interrupt (Systemtakt für Multitasking)
CTC2 Channel 3 - nicht verwendet
```

Hinweis: Werden die Kanäle 1 und 2 von CTC1 im Counter Mode betrieben, so kann die Eingangsfrequenz über Jumper wahlweise von PAL8 (FD-Controller) oder von einem separaten Quarz-Oszillator geliefert werden. Der Oszillator ermöglicht Baudraten bis zu 76800 Bd.

Aus- und Eingänge folgender CTC-Kanäle sind direkt oder indirekt mit Stecker ST-B verbunden:

```
CTC1 - ZC1    B-49   (Baudrate SIO Port B)
       ZC2    B-50   (Baudrate SIO Port A)

CTC2 - CLK0   B-9    -
       CLK1   B-10   (Keyboard Strobe)
       ZC0    B-11   (Audio Ausgang)
```

Baudraten Einstellung

Die Kanäle 1 und 2 von CTC1 können als Baudrate-Generator arbeiten, sofern auf der separaten I/O-Platine die entsprechende Verbindung zwischen CTC-Ausgang und SIO-Takteingang realisiert ist.

B-50 (CTC) ---> B-38/39 (SIO-Port A)
B-49 (CTC) ---> B-42 (SIO-Port B)

Bei einer Eingangsfrequenz von 2 MHz (Jumper J3, Stellung A, Taktversorgung von PAL8) gilt folgende Tabelle für die Programmierung des CTC-Teilerfaktors:

Tabelle 17: CTC Programmiertabelle zur Baudrategenerierung bei 2 MHz

SIO-Takt: CTC-Betr.Art	x16 Zähler	x32 Zähler	x64 Zähler	x16 Zeitgeber
BAUDRATE		CTC-Teilerfaktor		
9600	13	--	--	--
4800	26	13	--	--
2400	52	26	13	--
1200	104	52	26	--
600	208	104	52	--
300	--	208	104	--
150	--	--	208	--
110	--	--	--	142
75	--	--	--	208

Werden die CTC-Eingänge von dem Quarzoszillator mit 9,8304 MHz/8 = 1,2288 MHz versorgt (Jumper J3. Stellung B), ergeben sich folgende Werte:

Tabelle 18: CTC Programmiertabelle zur Baudrategenerierung bei 1,2288 MHz

SIO-Takt: CTC-Betriebsart:	x16 Zähler	x32 Zähler	x64 Zähler	x16 Zeitgeber
Baudrate		C T C - Teilerfaktor		
76800	1	-	-	-
38400	2	1	-	-
19200	4	2	1	-
9600	8	4	2	-
4800	16	8	4	-
2400	32	16	8	-
1200	64	32	16	-
600	128	64	32	-
300	0	128	64	-
150	-	0	128	-
110	-	-	0	87
75	-	-	-	128

Teilerfaktor 0 entspricht 256.

3.6 Floppy Disk Controller

Die Floppy Disk Controller Schaltung der Baugruppe ermöglicht den Anschluß von 5 1/4" oder 8" FD-Laufwerken mit einfacher oder doppelter Schreibdichte (single/double density). In allen Fällen können auch Doppelkopf-Laufwerke betrieben werden. Gemischter Betrieb beliebiger Konfigurationen ist möglich.

In allen wichtigen Punkten ist die Controller Schaltung hard- oder softwaremäßig programmierbar. Das Herz des Controllers ist der Baustein NEC uP765, der als intelligenter Peripherieprozessor alle wesentlichen Aufgaben der FD-Ansteuerung übernimmt.

Sämtliche Zeittakte für den Floppy-Disk-Teil werden von einem 16 MHz Oszillator abgeleitet. Für die Erzeugung des CPU-Taktes wird bei 4 MHz Betriebsfrequenz ebenfalls ein 16 MHz Oszillator verwendet. Somit wird bei 4 MHz-CPU-Takt nur ein 16 MHz-Oszillator benötigt, bei allen anderen Frequenzen (z.B. 6 MHz bei Z80B-CPU) sind zwei Oszillatoren erforderlich. Dies wird über Jumper J2 geregelt:

J2: A: 2 Oszillatoren (16 MHz für Floppy Disk,
24 MHz für Z80B-CPU-Takt)

B: 1 Oszillator

Für den 2. Oszillator ist ein eigener Bestückungsplatz vorgesehen, der nur im Falle J2/A verwendet wird.

Tabelle 19: I/O-Adressen des FD-Controllers

Adresse	I/O-Port		Adreßsymbol
14H	uP765	Main Status Register	fdc.765.status
15H	uP765	Data Register	fdc.765.data
1EH	uP765	Data Acknowledge Input	fdc.dack
1FH	uP765	Terminal Count Input	fdc.tc

Über Kanal 0 von CTC-1 ist der uP765 im Z80-System interruptfähig (Vektorinterrupt). Der Ausgang DRQ (Data Request) ist zur Steuerung von DMA-basierenden Datenübertragungen zwischen uP765 und Speicher mit der DMA-Controller Logik der Baugruppe verbunden.

Programmierung der FD-Controller Schaltung

a) softwaremäßig über die Bits 6 und 7 des Status Ports 0

Bit 6: Umschaltung zwischen 5 1/4" (Bit 6=1) und 8" Laufwerken (Bit 6=0)

Bit 7: Motor Ein-/Ausschalten (Bit 7=0 --> Motor aus)

b) hardwaremäßig über zwei PAL-Bausteine
PAL 5 (Typ:16H2) bestimmt im wesentlichten die Write Precompensation, welche in Inkrementen von 62.5 ns einstellbar ist.

PAL 8 (Typ:12H6) bestimmt die Referenztakte für den uP765.
Der Referenztakt für den Datenseparator beträgt grundsätzlich 8 MHz.

Tabelle 20: FDC-Referenztakte

-STD/MINI	MFM	FDC.CLK	W.CLK
0	0	8	0.5
0	1	8	1.0
1	0	4	0.25
1	1	4	0.50

Alle Angaben in Megahertz. Die Pulsbreite von W.CLK beträgt in allen Fällen 250 ns (siehe Anhang: Timingdiagramme).

Hinweis: PAL 8 bestimmt auch die Eingangsfrequenz für die Kanäle 1 und 2 von CTC1 (Baudrategenerator).

Steckerbelegung:

Alle Signale sind an Stecker ST-C herausgeführt. Ausgänge sind mit Open Collector Puffern getrieben; Eingänge sind mit 150 Ohm Pull-Up Widerständen abgeschlossen.

Tabelle 21: Steckerbelegung der FDC-Ein-/Ausgänge

Anschluß ST-C	Bezeichnung	Input/Output	
C-1	Motor On		x
C-2	Drive Select 0		x
C-3	Drive Select 1		x
C-4	Drive Select 2		x
C-5	Drive Select 3 (Achtung: ungepuffert)		x
C-6	Disk Read Data	x	
C-7	Ground	-	-
C-8	Disk Write Data		x
C-9	Ground	-	-
C-10	Head Load		x
C-11	Head Select (Side Select)		x
C-12	Write Gate		x
C-13	Ready	x	
C-14	Index	x	
C-15	Write Protect	x	
C-16	Track 0	x	
C-17	Step		x
C-18	Direction		x

Parallel dazu sind sämtliche Signale auf den 34-pol Stecker ST-F geführt. Hier ist der direkte Anschluß von FD-Laufwerken mit einem 1:1-Flachbandkabel möglich.

Tabelle 22: Belegung des FD Anschlußsteckers (ST-F)

Anschluß ST-F	Bezeichnung	Input	Output
F-2	Motor On		x
F-4	nc	-	-
F-6	Ready	x	
F-8	Index	x	
F-10	Drive Select 0		x
F-12	Drive Select 1		x
F-14	nc	-	-
F-16	Motor On		x
F-18	Direction		x
F-20	Step		x
F-22	Write Data		x
F-24	Write Gate		x
F-26	Track 0	x	
F-28	Write Protect	x	
F-30	Read Data	x	
F-32	Head Select		x
F-34	nc	-	-

Alle ungeraden Pinnummern auf GND

3.7 Harddisk-Anschluß (SASI-Interface)

Das SASI-Interface (Shugart Associates System Interface) besteht aus einem parallelen 8-bit-Datenport, welcher den Datentransfer zwischen KDT und Peripherieeinheit (i.a. Harddisk) abwickelt, und aus einem Control Port, der für den Austausch von Steuersignalen zuständig ist.

Tabelle 23: I/O-Adressen des SASI-Interface

Adresse	I/O-Port	Adreßsymbol
3BH	SASI Control Port	sasi.ctrl
3FH	SASI Data Port	sasi.data

Die Bitzuordnung des Control Ports ist beim Lesen und Schreiben unterschiedlich.

In Schreibrichtung stehen nur 4 Bit zur Verfügung.

Tabelle 24: Bitzuordnung des SASI Control Port (Write)

Bit	Funktion
0	-
1	SASI Reset (-RST)
2	DMA Trigger Selektierung
3	SASI Select (-SEL)

Tabelle 25: Bitzuordnung des SASI Control Port (Read)

Bit	Funktion
0	Data Output uP 1990
1	SASI Busy (-BSY)
2	SASI Request (-REQ)
3	SASI Message (-MSG)
4	SASI Control/Data (-C/D)
5	SASI Input/Output (-I/O)
6	SASI Reset (-RST)
7	SASI Select (-SEL)

Bit 0 dient zum Auslesen der Zeit-Information aus der Real Time Clock. Siehe dazu auch Statusport 2.

Das SASI-Interface erzeugt ein DMA-Request Signal, so daß DMA-gesteuerte Datenübertragung möglich ist.

Steckerbelegung:

Alle Signale sind auf den 50-pol. Stecker ST-E geführt. Dieser ermöglicht den Anschluß einer Peripherie-Einheit mit SASI-Interface (z.B. Harddisk mit Adaptec-Controller-Board) über 50-poliges 1:1 Flachbandkabel.

Tabelle 26: Belegung des SASI Anschlußsteckers (ST-E)

Anschluß ST-E	Bezeichnung		Input	Output
E-2	SD0	Datenbit 0	x	x
E-4	SD1	Datenbit 1	x	x
E-6	SD2	Datenbit 2	x	x
E-8	SD3	Datenbit 3	x	x
E-10	SD4	Datenbit 4	x	x
E-12	SD5	Datenbit 5	x	x
E-14	SD6	Datenbit 6	x	x
E-16	SD7	Datenbit 7	x	x
E-18	nc		-	-
E-20	nc		-	-
E-22	nc		-	-
E-24	nc		-	-
E-26	nc		-	-
E-28	nc		-	-
E-30	nc		-	-
E-32	nc		-	-
E-34	nc		-	-
E-36	-BSY	Busy	x	
E-38	-ACK	Acknowledge		x
E-40	-RST	Reset		x
E-42	-MSG	Message	x	
E-44	-SEL	Select		x
E-46	-C/D	Control/Data	x	
E-48	-REQ	Request	x	
E-50	-I/O	Input/Output	x	

Alle ungeraden Pinnummern auf GND

3.8 Video Controller

Die Video Controller Schaltung der Baugruppe ist um den LSI-Baustein MC6845 aufgebaut. Einzelheiten der Adressierung des Bildwiederholspeichers sind dem Abschnitt 'Bildwiederholspeicher' (Kapitel 2) zu entnehmen.

a) der CRT-Controller 6845

Diesem Baustein sind zwei I/O-Adressen zugeordnet:

18H - Adreßregister
19H - Register File

Der 6845 erzeugt primär die zur Ansteuerung eines Monitors notwendigen Sync-Signale, sowie die Refresh Adressen für den Bildwiederholspeicher. Da dies nur 14 bit sind, sorgt eine programmierbare Zusatzlogik (Zähler 74LS193) für die fehlenden beiden Bits zur Adressierung von 64 kByte.

Über einen Jumper (J1) kann zwischen 16 und 64 kByte Bildwiederholspeicher gewählt werden:

J1 A: 64 kByte Video Memory
B: 16 kByte Video Memory (Voreinstellung)

Die Adressierung des Bildwiederholspeichers ist auf Blatt 12 dargestellt. Für jede Adresse sind 3 Quellen möglich:

- CRTC alpha/numerischer Betrieb
- CRTC graphischer Betrieb
- CPU I/O-Adressierung

b) Zeichengenerator

Der Zeichensatz ist durch einen 4 oder 8 kByte EProm (2732/2764) festgelegt. Damit können 256 bzw. 512 verschiedene Zeichen generiert werden. Die Videobank (Blatt 13) ist 10 Bit breit. Zwei Bits bestimmen Zeichenattribute wie beispielsweise 'Character Invert' und 'Character Blinking'. Beides wird auf der separaten I/O-Platine (KDT/IOC) erzeugt.

Wird ein 2764-EProm eingesetzt, so kann über Bit 3 von Status Port 0 zwischen zwei verschiedenen Zeichensätzen von jeweils 256 Zeichen gewählt werden.

c) Steckerbelegung

Alle Ausgänge der Video Controller Schaltung sind auf Stecker C (ST-C) herausgeführt.

Tabelle 27: Steckerbelegung der CRTC-Ein-/Ausgänge

Anschluß ST-C	Bedeutung
C-24	Vertical Sync
C-25	Horizontal Sync
C-26	Display Enable
C-27	Cursor
C-28	Video Invert
C-29	Light Pen Input
C-30	Select Display Mode (Alpha/Graphic)
C-31	Video Bit 9
C-33	Video Bit 8
C-35	Video Data (Graphic)
C-37	Video Data (Alpha)
C-39	nc
C-41	nc
C-50	Dot Clock (13,5168 MHz)

d) Video Zeitbasis

Alle zeitbestimmenden Signale sind von einem 13,5168 MHz Quarzoszillator abgeleitet. Die wesentlichen Frequenzen werden durch PAL 7 (Typ 16L8) generiert. Dieser steuert auch den transparenten Zugriff von CPU und CRTC auf den Bildwiederholspeicher.

3.9 Real Time Clock

Mit dem Uhrenbaustein uPD 1990 steht auf der KDT6 (Blatt 8) eine Echtzeituhr zur Verfügung, die jederzeit mittels Input-Befehlen ausgelesen werden kann. Durch eine externe Batterie (Anschluß: VCMOS) kann der Uhrenbaustein gepuffert werden.

Die Ansteuerung des Bausteins erfolgt über den Status Port 2 (Write only, 74LS273), der mittels I/O-Write-Befehle geladen wird (Adresse 3AH).

Es gilt dabei folgende Zuordnung:

Tabelle 28: Bitzuordnung von Statusport 2

Datenbit	uPD 1990-Signal
D0	DIN (Data In)/DO (Data Out)
D1	C0 (Command Input 0)
D2	C1 (Command Input 1)
D3	C2 (Command Input 2)
D4	CLK (Shift Clock Input)
D5	STB (STROBE Input)
D6	OE (Output Enabel Input)
D7	CS (Chip Select Input)

Der uPD 1990 besitzt ein internes 40 Bit-Register (10 x 4 Bit), in das folgende Daten geladen werden können:

Bit			
	0...7	Sekunde	BCD-Code
	8...15	Minute	BCD
	16...23	Stunde	BCD
	24...31	Datum	BCD
	32...35	Wochentag	0 = Sonntag, ...6 = Samstag
	36...39	Monat	Hex, automatische Berücksichtigung von langen und kurzen Monaten

Beispiel:

37 Sekunden

	0	0	1	1	0	1	1	1
Bit	7	6	5	4	3	2	1	0

Mai, Dienstag

	0	1	0	1	0	0	1	0
Bit	39	38	37	36	35	34	33	32

Zusätzlich besitzt der uPD 1990 ein 40 Bit-Shift-Register, über das die Zeitdaten seriell am Data-Out-Ausgang herausgetaktet werden können, bzw. beim Laden der Zeitinformation über den Data-In-Eingang eingegeben werden können. Das Lesen geschieht über Bit 0 des SASI Control Port (Adresse 3BH).

Ablauf beim Schreiben/Lesen der Zeitinformation:

Zunächst muß über die Command-Input-Leitungen die Funktion ausgewählt werden:

Leitungen C0 bis C2:

C2	C1	C0	
0	0	0	Register Hold
0	0	1	Register Shift
0	1	0	Time Set
0	1	1	Time Read

Register Hold: Shift Register ausgeschaltet, an DO (Data Out) wird 1 Hz ausgegeben

Register Shift: Shift-Register Daten werden mit dem CLK-Takt herausgeshiftet und erscheinen an DO (Data Out), Bit 0 zuerst

Time Set: Shift-Register Daten werden in das 40-Bit-Datenregister übernommen (entspricht dem eigentlichen Stellen der Uhrzeit)

Time Read: Die Zeitinformation wird vom Datenregister in das Shiftregister geladen.

Dies geschieht durch eine Folge von I/O-Write-Befehlen auf den Status Port 2.

Setzen der Uhrzeit:

1. Funktion 'Register Shift' programmieren

2. Serielles Laden des Shiftregisters über Datenbit 0 durch eine Folge von I/O-Write-Befehlen, wobei das INPUT/OUTPUT-TIMING zu beachten ist

3. Funktion 'Time Set' programmieren

4. Funktion 'Register Hold' programmieren

Lesen der Uhrzeit:

1. Funktion 'Time Read' programmieren

2. Serielles Lesen des Shiftregisters über Datenbit 0 (SASI Control Port) durch eine abwechselnde Folge von I/O-Write- (Adr. 3AH zur Erzeugung des Shifttakts für den CLK-Eingang) und I/O-Read-Befehlen (Adr. 3BH, zum Lesen von jeweils einem Bit).

3. Funktion 'Register Hold' programmieren

3.10 Watchdog (optional, nicht bestückt)

Hinweis:

Der Watchdog Baustein 74LS592 ist in Kontron PSI9xx Systemen nicht eingebaut, ein freier Sockel inklusive der erforderlichen Anschlüsse steht zur Verfügung. Das IC kann bei Ihrem Bauteile-Händler beschafft werden.
Funktionen, Adressen und ein Beispiel sind nachstehend aufgeführt.

Ein Watchdog hat die Aufgabe, einen Rechner nach einem Ausfall in einen definierten Anfangszustand zu bringen, um ein automatisches Wiederaufsetzen (mit Softwareunterstützung) zu ermöglichen. Die Funktionsweise des Watchdog's beruht auf folgendem Prinzip:

> Ein programmierbarer 8 Bit Zähler muß regelmäßig neu getriggert werden, bevor ein bestimmter Zählerstand erreicht ist. Ein Ausbleiben dieser Neutriggerung signalisiert mit großer Wahrscheinlichkeit einen Rechnerausfall. Der Watchdog generiert daraufhin ein Reset-Signal, um den Rechner neu zu starten.

Der Watchdog besteht aus einem 8 Bit Zähler mit 8 Bit Eingangsregister (Blatt 8, 74LS592). Über die I/O-Adresse 'SEL.WDR' kann das Eingangsregister mit einem beliebigen 8 Bit Ausgangswert geladen werden. Dieser Wert bestimmt die Zeit, nach der ein Reset generiert wird (Zählerstand: FFH), falls das Trigger Signal (I/O-Adresse: 'SEL.WDT') ausbleibt. Mit Bit 0 von Status Port 0 (STP0) kann der Watchdog gesperrt bzw. freigegeben werden. Das Signal VSYNC des Video Controllers bestimmt die Zählfrequenz.

Tabelle 29: Watchdog I/O-Adressen

Adresse	I/O-Port	Adreßsymbol
3DH	Watchdog Eingangsregister	wdog.reg
3EH	Watchdog Triggereingang	wdog.trigger

Anwendungsbeispiel:

Die gewünschte Zeitkonstante betrage 40 ms (50 Hz VSYNC), dann sind folgende Programmteile zur Initialisierung bzw. Triggerung des Watchdogs notwendig:

```
init.wdog:
            ld a, ofdh                ; time constant
            out (wdog.reg),a          ; program watchdog register
            di
            ld a.(status.port.0)      ; status port 0 should be
            set 0,a                   ; stored in memory because
            ld (status.port.0),a      ; it must not be read
            out (stp.0),a             ; enable watchdog
            ei
            ret

trigger.wdog:
            out (wdog.trigger),a    ; any out statement to I/O-address
            ret                     ; is sufficient
```

4. Anhang

Im Anhang sind zusammengestellt:

A. Belegung von Stecker A (ECB)
B. Belegung von Stecker B (I/O)
C. Belegung von Stecker C (I/O)
D. Belegung von Stecker D (Power)
E. Liste aller Testpunkte auf der Platine
F. Lister aller IC's
G. Programmierung der PAL-Bausteine
H. Liste aller Adreßsymbole für I/O-Ports
I. Timingdiagramme
J. Voreinstellung der Jumper

A N H A N G A : Belegung von Stecker A (ECB)

Pin #	Signal	Charakteristik
1	A0	
2	A1	
3	A2	
4	A3	
5	A4	
6	A5	
7	A6	
8	A7	
9	A8	
10	A9	
11	A10	
12	A11	Adreßbus, bidirektional
13	A12	
14	A13	Fan Out: 24 mA
15	A14	Fan In : 0.4 mA
16	A15	
17	A16	
18	A17	
19	A18	
20	A19	
21	A20	
22	A21	
23	A22	
24	A23	
25	D0	
26	D1	
27	D2	
28	D3	Datenbus, bidirektional
29	D4	
30	D5	Fan Out: 24 mA
31	D6	Fan In : 0.4 mA
32	D7	
33	-HALT	
34	-RFSH	
35	-IORQ	Steuerbus, bidirektional
36	-M1	
37	-WR	Fan Out: 24 mA
38	-RD	Fan In : 0.4 mA
39	-MRQ	
40	-BUSRQ	Input Pull-up 4.7 k
41	-INT	Input Pull-up 4.7 k
42	-NMI	Input Pull-up 4.7 k
43	-RESET	Output 10 mA
44	-WAIT	Input Pull-up 470 Ohm
45	-IEO	Output 2 mA
46	-BAO	Output 12 mA
47	GND	
48	CLK	Output (MOS-Clock)
49	GND	
50	-RESET.IN	Input Pull-up 4.7 k

A N H A N G B : Belegung von Stecker B (I/O)

Pin #	Signal	
1	KEY.D7	(Keyboard Data)
2	KEY.D6	"
3	KEY.D5	"
4	KEY.D4	"
5	KEY.D3	"
6	KEY.D2	"
7	KEY.D1	"
8	KEY.D0	"
9	CTC2.CLK0	-
10	CTC2.CLK1	(Keyboard Strobe)
11	CTC2.ZC0	(Audio Output)
12	PIO.A0	)
13	PIO.A1	)
14	PIO.A2	)
15	PIO.A3	) PIO Port A
16	PIO.A4	)
17	PIO.A5	)
18	PIO.A6	)
19	PIO.A7	)
20	PIO.ARDY	)
21	-PIO.ASTRB	)
22	-PIO.BSTRB	)
23	PIO.BRDY	)
24	PIO.B7	)
25	PIO.B6	)
26	PIO.B5	) PIO Port B
27	PIO.B4	)
28	PIO.B3	)
29	PIO.B2	)
30	PIO.B1	)
31	PIO.B0	)
32	SIO.TxDA	)
33	-SIO.DTRA	)
34	-SIO.RTSA	)
35	SIO.RxDA	) SIO Channel A
36	-SIO.CTSA	)
37	-SIO.DCDA	)
38	-SIO.TxCA	)
39	-SIO.RxCA	)
40	-SIO.SYNCA	)
41	-SIO.SYNCB	)
42	-SIO.RxTxCB	)
43	-SIO.DCDB	)
44	-SIO.CTSB	)
45	SIO.RxDB	) SIO Channel B
46	-SIO.RTSB	)
47	-SIO.DTRB	)
48	SIO.TxDB	)
49	CTC1.ZC1	)
50	CTC1.ZC2	)

A N H A N G C: Belegung von Stecker C (I/O)

Pin #	Signal	Charakteristik
1	-Motor On	Open Collector Output
2	-Drive Select 0	"
3	-Drive Select 1	"
4	-Drive Select 2	"
5	-Drive Select 3	"
6	-Disk Read Data	Input. 150 Ohm Pull-up
7	GND	
8	-Write Data	Open Collector Output
9	GND	
10	-Head Load	Open Collector Output
11	-Head Select	"
12	-Write Gate	"
13	-Ready	Input, 150 Ohm Pull-up
14	-Index	"
15	-Write Protect	"
16	-Track 0	"
17	-Step	Open Collector Output
18	-Direction	"
19	-	
20	-	
21	-	
22	-	
23	-	
24	-VSYNC	TTL-Output
25	-HSYNC	TTL-Output
26	DE: Display Enable	TTL-Output
27	CRS: Cursor Enable	TTL-Output
28	VINV: Video Invert	TTL-Output
29	LPEN: Light Pen	TTL-Input
30	DM: Display Mode	TTL-Output
31	VBIT9	TTL-Output
32	GND	
33	VBIT8	TTL-Output
34	GND	
35	VDOG: Video Data 0	TTL-Output
36	GND	
37	VDOA: Video Data 0	TTL-Output
38	GND	
39	-	
40	GND	
41	-	
42	GND	
43	-	
44	-	
45	-	
46	+ 5V	
47	+ 5V	
48	GND	
49	GND	
50	DOT.CLOCK (13.5168 MHz)	TTL-Output

A N H A N G D : Belegung von Stecker D (Power)

1	NC
2	+5 Volt
3	NC
4	GND
5	VCMOS
6	Power fail
7	RESET.IN

A N H A N G E : Liste aller Testpunkte auf der Platine

TP #	Signalname	Bedeutung
1	CLK	Systemtakt
2	-BD.IN	Bussteuerung interner Datenbus
3	-ECB.IN	Bussteuerung externer Datenbus (ECB)
4	-MUXS	RAM Adreßmultiplexer Umschaltung
5	-RAS0	Row Address Strobe (Bank 0)
6	-RAS1	Row Address Strobe (Bank 1)
7	-BYTE.CLK	Byte Clock der Video Controller Schaltung
8	-RAS3	Row Address Strobe (Bank 3)
9	-RAS2	Row Address Strobe (Bank 2)
10	-VRAS	Row Address Strobe (Video Bank)
11	-VWR	Write Strobe (Video Memory)
12	-VRD.STRB	Read Strobe (Video Memory)
13	EXT.DMA	externer DMA-Zugriff
14	-BMRQ	CPU-MRQ gepuffert
15	-BRD	CPU-RD gepuffert
16	-BWR	CPU-WR gepuffert
17	-BM1	CPU-M1 gepuffert
18	-BIORQ	CPU-IORQ gepuffert
19	GND	Ground
20	GND	Ground
21	GND	Ground
22	GND	Ground

A N H A N G F : Liste aller IC's

Typ	IC-Nummer	Beschreibung
2164	* (Anzahl:42)	dyn. RAM 64k x 1 bit
2732	Prom 1,2,3	EPROM 32 kbit
AM2952	44, 75	8-bit Parallel Port
AM2966	62	Octal DRAM Drivers
74LS04	19	Hex Inverter
7406	29, 64	Hex Inverter, open Collector
7407	30	Hex Buffer, open Collector
74LS14	7, 32, 49, 70	Hex Schmitt-Trigger Inverter
74LS15	21	Triple 3-Input AND, open Collector
74LS32	20, 72	Triple 3-Input NOR
74LS74	63	Dual D Flip-Flop
74LS107	17,22,35,38,47	Dual J-K Flip-Flop
74LS132	23	Quad 2-Input Schmitt Trigger NAND
74LS138	33,34	3 to 8 Decoder
74LS139	9,11,31	2 to 4 Decoder
74LS151	50,51,52,53,54,55,56,57	1 of 8 Multiplexer
74S157	25,27	Quad 2 to 1 Multiplexer
74LS158	28	Quad 2 to 1 Multiplexer (inv.)
74LS161	39,48	Synchronous 4-bit Counter
74LS164	45	8-bit parallel Output/Serial Input Shift Register
74LS166	67, 69	8-bit Shift Register
74LS169	24	4-bit synchronous Up/Down Counter
74LS174	73	Hex D Flip-Flop
74LS191	36	Synchronous Up/Down Counter
74LS193	37,58,59,60,61	Synchronous Up/Down Dual Clock Counter
74LS244	8, 74	Octal Buffer/Line Driver
74LS245	1,2,3,4,5,13	Octal Bus Transceiver
74LS273	42,43,68	Octal D Flip-Flop
74LS374	6, 14, 66	Octal D Flip-Flop
74LS393	46	Dual 4-bit Binary Counter
74LS396	40	Octal Storage Register
74LS541	12,15,16,18,26	Octal Bus Buffer
74LS592	41	8-bit Binary Counter (optional, nicht bestückt)
74LS612	10	Memory Mapper

Typ	IC-Nummer		Beschreibung
PAL 10H8	PAL 3		Programmable Array Logic
PAL 10L8	PAL 2		Programmable Array Logic
PAL 10L8	PAL 6		Programmable Array Logic
PAL 12H6	PAL 8		Programmable Array Logic
PAL 12L6	PAL 1		Programmable Array Logic
PAL 16H2	PAL 5		Programmable Array Logic
PAL 16L8	PAL 4		Programmable Array Logic
PAL 16L8	PAL 7		Programmable Array Logic

CRTC MC 6845	*			Video Controller	
FDC 9261	*			Data Separator	
NEC uP765	*			Floppy Disk Controller	
NEC uP1990	*			Clock-Calendar-Chip	
Z80A-CPU	*			Central Processor Unit	
Z80A-CTC	*	(Anzahl:2)		Counter/Timer Circuit	
Z80A-DMA	*			Direct Memory Access Controller	
Z80A-PIO	*			Parallel Interface	
Z80A-SIO/0	*			Serial Interface	

	13.5168 MHz	*		Oszillator	13.5168 MHz
LOCO II	16 MHz	*	(Anzahl:2)	Oszillator	16 MHz
OSZ	9.8304 MHz	*		Oszillator	9.8304 MHz
Quartz	32.678 KHz	Q 1		Quartz	32.678 KHz

* Keine IC-Nummer im Schaltplan

Referenzliste - IC-Nummer - IC-Typ

1	74LS245	27	74S157	53	74LS151
2	74LS245	28	74LS158	54	74LS151
3	74LS245	29	7406	55	74LS151
4	74LS245	30	7407	56	74LS151
5	74LS245	31	74LS139	57	74LS151
6	74LS374	32	74LS14	58	74LS193
7	74LS14	33	74LS138	59	74LS193
8	74LS244	34	74LS138	60	74LS193
9	74LS139	35	74LS107	61	74LS193
10	74LS612	36	74LS191	62	AM 2966
11	74LS139	37	74LS193	63	74LS74
12	74LS541	38	74LS107	64	7406
13	74LS245	39	74LS161	65	nicht verwendet
14	74LS374	40	74LS396	66	74LS374
15	74LS541	41	74LS592	67	74LS166
16	74LS541	42	74LS273	68	74LS273
17	74LS107	43	74LS273	69	74LS166
18	74LS541	44	AM2952	70	74LS14
19	74LS04	45	74LS164	71	nicht verwendet
20	74LS32	46	74LS393	72	74LS32
21	74LS15	47	74LS107	73	74LS174
22	74LS107	48	74LS161	74	74LS244
23	74LS132	49	74LS14	75	AM 2952
24	74LS169	50	74LS151		
25	74S157	51	74LS151		
26	74LS541	52	74LS151		

PAL 1	12L6	PAL 5	16H2
PAL 2	10L8	PAL 6	10L8
PAL 3	10H8	PAL 7	16L8
PAL 4	16L8	PAL 8	12H6

PROM1	2732
PROM2	2732
PROM3	2732

Q1 Quartz 32.678 KHz

Ohne IC-Nummer im Schaltplan:

2164-20	Dyn. RAMs
	Oszillator 13.5168 MHz
LOCO II	Oszillator 16 MHz
CRTC MC 6845	Oszillator 9.8304 MHz
FDC 9261	
NEC uP765	
NEC uP1990	
Z80A-CPU	
Z80A-CTC	
Z80A-DMA	
Z80A-PIO	
Z80A-SIO/0	

A N H A N G G : Programmierung der PAL-Bausteine

Auf der Platine sind folgende PAL-Bausteine eingesetzt:

PAL #	Typ	Beschriftung	Funktion
1	12L6	1-FF5B	Memory-Address Decoder
2	10L8	2-0F61	I/O-Address Decoder
3	10H8	3-C7BF	Interrupt Priority Controller
4	16L8	4-EC5E	Bus Controller
5	16H2	5-1126	FDC-Write Precompensation
6	10L8	6-1BA7	Video Memory Access Controller
7	16L8	7-C1ED	Video Memory Timing Generator
8	12H6	8-CD9F	FDC-Timing Generator

Die Beschriftung ergibt sich aus:

PAL-Nr. und Checksumme

```
PAL12L6                                    PAL SPECIFICATION DESIGN
PAT004                                     24/08/1982
PAL1 KDT6        MEMORY ADDRESS DECODER

/PROM1 /BMRQ /BRFSH BA23 BA22 BA21 BA20 BA19 BA16 GND
BA17 BA18 /RAS2 /RAS3 /SEL.RAM /RAS1 /RAS0 /INT.MEM /PROM2 VCC


RAS0     = BMRQ*/BRFSH*/BA16*/BA17*/BA18*/BA19*/BA20*/BA21*/BA22*/BA23 +
           BMRQ*BRFSH

RAS1     = BMRQ*/BRFSH*BA16*/BA17*/BA18*/BA19*/BA20*/BA21*/BA22*/BA23 +
           BMRQ*BRFSH

RAS2     = BMRQ*/BRFSH*/BA16*BA17*/BA18*/BA19*/BA20*/BA21*/BA22*/BA23 +
           BMRQ*BRFSH

RAS3     = BMRQ*/BRFSH*BA16*BA17*/BA18*/BA19*/BA20*/BA21*/BA22*/BA23 +
           BMRQ*BRFSH

INT.MEM  = BMRQ*/BRFSH*/BA18*/BA19*/BA20*/BA21*/BA22*/BA23 +
           BMRQ*/BRFSH*PROM1 +
           BMRQ*/BRFSH*PROM2

SEL.RAM  = BMRQ*/BRFSH*/PROM1*/PROM2*/BA18*/BA19*/BA20*/BA21*
           /BA22*/BA23
```

DESCRIPTION:

```
RAS0 :      ROW ADDRESS STROBE (BANK 0)
RAS1 :      ROW ADDRESS STROBE (BANK 1)
RAS2 :      ROW ADDRESS STROBE (BANK 2)
RAS3 :      ROW ADDRESS STROBE (BANK 3)
INT.MEM :   INTERNAL (ON BOARD) MEMORY SELECT
SEL.RAM :   ENABLE DATA BUSBUFFER FOR BANK 0, 1, 2, OR 3
```

```
PAL10L8                                          PAL DESIGN SPPECIFICATION
PAT002                                           09/03/1982
PAL2 KDT6          I/O-ADDRESS DECODER


BA7 BA6 BA5 BA4 BA3 BA2 /BIORQ BA1 BA0 GND
/BM1 /SEL.MAP /SEL.VALH /SEL.VALL /SEL.VDAT /SEL.IO1 /SEL.IO0
/EXT.IO /INT.IOB VCC


SEL.IO0  = BIORQ*/BM1*/BA5*/BA6*/BA7

SEL.IO1  = BIORQ*/BM1*/BA7*/BA6*BA5*BA4*BA3

SEL.MAP  = BIORQ*/BM1*/BA4*BA5*/BA6*/BA7

SEL.VDAT = BIORQ*/BM1*/BA3*BA4*BA5*/BA6*/BA7

SEL.VALH = BIORQ*/BM1*/BA0*/BA1*/BA2*/BA3*/BA4*/BA5*BA6*/BA7

SEL.VALL = BIORQ*/BM1*BA0*/BA1*/BA2*/BA3*/BA4*/BA5*BA6*/BA7

INT.IOB  = BIORQ*/BM1*BA5*/BA6*/BA7

EXT.IO   = BIORQ*/BM1*BA7 +
           BIORQ*/BM1*BA6
```

DESCRIPTION:

```
SEL.IO0  :  SELECT I/O-GROUP 0 (0...1FH)
SEL.IO1  :  SELECT I/O-GROUP 1 (38H...3FH)
SEL.MAP  :  SELECT MEMORY MAPPER (20H...2FH)
SEL.VDAT :  VIDEO MEMORY DATA PORT (30H...37H)
SEL.VALL :  VIDEO ADDRESS LATCH, LOW BYTE (41H)
SEL.VALH :  VIDEO ADDRESS LATCH, HIGH BYTE (40H)
INT.IOB  :  INTERNAL I/O-PORT SELECTED (0...3FH)
EXT.IO   :  EXTERNAL I/O-PORT SELECTED (>40H). MUST NOT BE 40H OR 41H.
```

```
PAL10H8                                          PAL DESIGN SPECIFICATION
PAT001                                           03/02/1982
PAL3 KDT6        INTERRUPT PRIORITY CONTROLLER

IEO.DMA IEO.CTC1 IEO.SIO IEO.CTC2 IEO.PIO 6 7 8 /BIORQ GND
SEL.SYSM IEI.DMA IEI.CTC1 IEI.SIO IEI.CTC2 IEI.PIO IEO.KDT 18 DIS.MAP
VCC

IEI.DMA   = 6 + /6

IEI.CTC1  = IEO.DMA

IEI.SIO   = IEO.DMA*IEO.CTC1

IEI.CTC2  = IEO.DMA*IEO.CTC1*IEO.SIO

IEI.PIO   = IEO.DMA*IEO.CTC1*IEO.SIO*IEO.CTC2

IEO.KDT   = IEO.DMA*IEO.CTC1*IEO.SIO*IEO.CTC2*IEO.PIO

DIS.MAP   = BIORQ + SEL.SYSM


DESCRIPTION:
IEI.XXX :  INTERRUPT ENABLE IN FOR DEVICE XXX
IEO.KDT :  INTERRUPT ENABLE OUT OF KDT
DIS.MAP :  DISABLE MEMORY MAPPER
```

```
PAL16L8                                          PAL DESIGN SPECIFICATION
PAT004                                           22/04/1982
PAL4 KDT6          BUS CONTROLLER

/BUSAK /INT.IOB /EXT.IO IEO.KDT /INT.MEM /BAO.KDT /BIORQ /BM1 /BWR GND
/BRD  12  /BMRQ /RAS23 /BD.IN /ECB.IN /BD.XDMA /ECB.XDMA 19 VCC


IF (VCC) BD.XDMA   =      BMRQ*BRD*INT.MEM +
                          BIORQ*BRD*INT.IOB


IF (VCC) ECB.XDMA  =      BMRQ*BRD*INT.MEM +
                          BIORQ*BRD*/EXT.IO

IF (VCC) BD.IN     =      /BAO.KDT*BIORQ*BRD*INT.IOB +
                          /BAO.KDT*BIORQ*BRD*EXT.IO +
                          /BAO.KDT*BIORQ*BM1*IEO.KDT +
                          /BAO.KDT*BMRQ*BRD*/INT.MEM +
                          /BAO.KDT*BMRQ*BRD*RAS23 +
                          BAO.KDT*/BD.XDMA

IF (VCC) ECB.IN    =      /BAO.KDT*BIORQ*BRD*EXT.IO +
                          /BAO.KDT*BIORQ*BM1*IEO.KDT +
                          /BAO.KDT*BMRQ*BRD*/INT.MEM +
                          BAO.KDT*/ECB.XDMA
```

DESCRIPTION:

BD.IN : INTERNAL DATA BUS BUFFER DIRECTION CONTROL (LOW = INPUT)

1. READ FROM INTERNAL I/O-PORT >20H
2. READ FROM EXTERNAL I/O-PORT
3. INTERRUPT ACKNOWLEDGE FROM EXTERNAL I/O-PORT
4. READ FROM EXTERNAL MEMORY
5. READ FROM INTERNAL VIDEO MEMORY
6. DURING EXTERNAL DMA-CYCLES IF NOT DB.XDMA

ECB.IN : ECB DATA BUS BUFFER DIRECTION CONTROL (LOW = INPUT)

1. READ FROM EXTERNAL I/O-PORT
2. INTERRUPT ACKNOWLEDGE FROM EXTERNAL I/O-PORT
3. READ FROM EXTERNAL MEMORY
4. DURING EXTERNAL DMA-CYCLES IF NOT ECB.XDMA

```
PAL16H2                                          PAL DESIGN SPECIFICATION
PAT005                                           29/11/1982
PAL5 KDT6          FDC WRITE PRECOMPENSATION

QH QG QF PS0 LCT QE /STD MFM PS1 GND
11 12 QD QC CD0 WD QB QA 19 VCC

CD0      = STD*/MFM + /STD*MFM

WD       = /MFM*QA +
           MFM*/STD*QA +
           MFM*/LCT*STD*QD +
           MFM*LCT*STD*/PS0*/PS1*QD +
           MFM*LCT*STD*PS0*/PS1*QB +
           MFM*LCT*STD*/PS0*PS1*QF
```

DESCRIPTION:

CD0 : DATA SEPARATOR CONTROL INPUT
WD : COMPENSATED WRITE DATA OUTPUT

```
PAL10L8                                          PAL DESIGN SPECIFICATION
PAT002                                           24/08/1982
PAL6 KDT6        VIDEO MEMORY ACCESS CONTROLLER

/SEL.VDAT /SEL.DM 3 4 /BRD BA2 BA1 BA0 SEL.CPU GND
11 12 13 /VO.RD /AUTO.INC /AUTO.DEC /VMUXSC /VMUXSB /VM.REQ VCC


VO.RD     = SEL.VDAT*BRD*/BA1*/BA2 +
            SEL.VDAT*BRD*BA1*BA2

AUTO.INC  = SEL.VDAT*BA0

AUTO.DEC  = SEL.VDAT*/BA0*BA1*BA2

VMUXSC    = /SEL.CPU

VMUXSB    = /SEL.CPU*/SEL.DM +
             SEL.CPU*SEL.VDAT

VM.REQ    = SEL.VDAT


DESCRIPTION:


VO.RD :       READ FROM VIDEO MEMORY
AUTO.INC :    INCREMENT CPU VIDEO ADDRESS COUNTER
AUTO.DEC :    DECREMENT CPU VIDEO ADDRESS COUNTER
VMUXSC :      SELECT INPUT 'C' FOR VIDEO MEMORY ADDRESS MULTIPLEXER
VMUXSB :      SELECT INPUT 'B' FOR VIDEO MEMORY ADDRESS MULTIPLEXER
VM.REQ :      CPU READ/WRITE REQUEST TO VIDEO MEMORY
```

```
PAL16L8                                          PAL DESIGN SPECIFICATION
PAT006                                           09/09/1983
PAL7 KDT6        VIDEO MEMORY TIMING GENERATOR

VMRQ /SEL.VDAT /BRD BA2 BA1 6 7 QC QB GND
QA /ACKN /BCLK /IQB 15 /VRAS0 /VMUXSA /VRD.STRB /VWR VCC


IF (VCC)  VRAS0       = QA * /QB * /QC +
                        VRAS0 * QC * /VRD.STRB +
                        VMRQ * QA * /QB * QC * SEL.VDAT * /BA2 * /BA1 +
                        VMRQ * QA * /QB * QC * SEL.VDAT * BA2 * BA1 +
                        VRAS0  * /QC *  /BCLK


IF (VCC)  VMUXSA      = VRAS0 + VMUXSA * QB * QA +
                        VMUXSA * /QA * QB

IF (VCC)  VWR         = QC * VMRQ * /BRD +
                        QC * VRAS0 * /BRD

IF (VCC)  BCLK        = QA * IQB * /QC


IF (VCC)  IQB         = QB

IF (VCC)  ACKN        = VMUXSA * QA * QB * QC
                      + VMRQ * /SEL.VDAT

IF (VCC)  VRD.STRB    = QA * QB * QC
```

DESCRIPTION:

VRAS0:	ROW ADDRESS STROBE (VIDEO BANK)
VMUXSA:	SELECT INPUT 'A' FOR VIDEO MEMORY ADDRESS MULTIPLEXERS
VWR:	VIDEO MEMORY WRITE STROBE
BCLK:	BYTE CLOCK
ACKN:	ACKNOWLEDGE TO CPU AFTER VIDEO MEMORY REQUEST
VRD.STRB:	VIDEO MEMORY READ STROBE

PAL12H6
PAT002
PAL8 KDT6 FDC TIMING GENERATOR

PAL DESIGN SPECIFICATION
26/08/1982

```
MFM /STD 4MHZ QA QB 2MHZ 1MHZ QD 9 GND
11 QC CLK.393 W.CLK FDC.CLK S.CLK CD1 CLR.393 8MHZ VCC


CLK.393   = STD*MFM +
            STD*/MFM*2MHZ +
            /STD*MFM*2MHZ +
            /STD*/MFM*1MHZ

CLR.393   = STD*MFM +
            QC*2MHZ

W.CLK     = STD*MFM*2MHZ*1MHZ +
            QC

CD1       = /STD*/MFM

S.CLK     = 2MHZ

FDC.CLK   = STD*8MHZ + /STD*4MHZ
```

DESCRIPTION:

```
CLK.393 :   CLOCK INPUT FOR 'LS393 (COUNTER 2)
CLR.393 :   CLEAR INPUT FOR 'LS393 (COUNTER 2)
W.CLK :     FDC WRITE CLOCK
CD1 :       DATA SEPARATOR CONTROL INPUT 1
S.CLK :     BAUDRATE GENERATOR REFERENCE CLOCK (CTC INPUT)
FDC.CLK :   FDC CLOCK
```

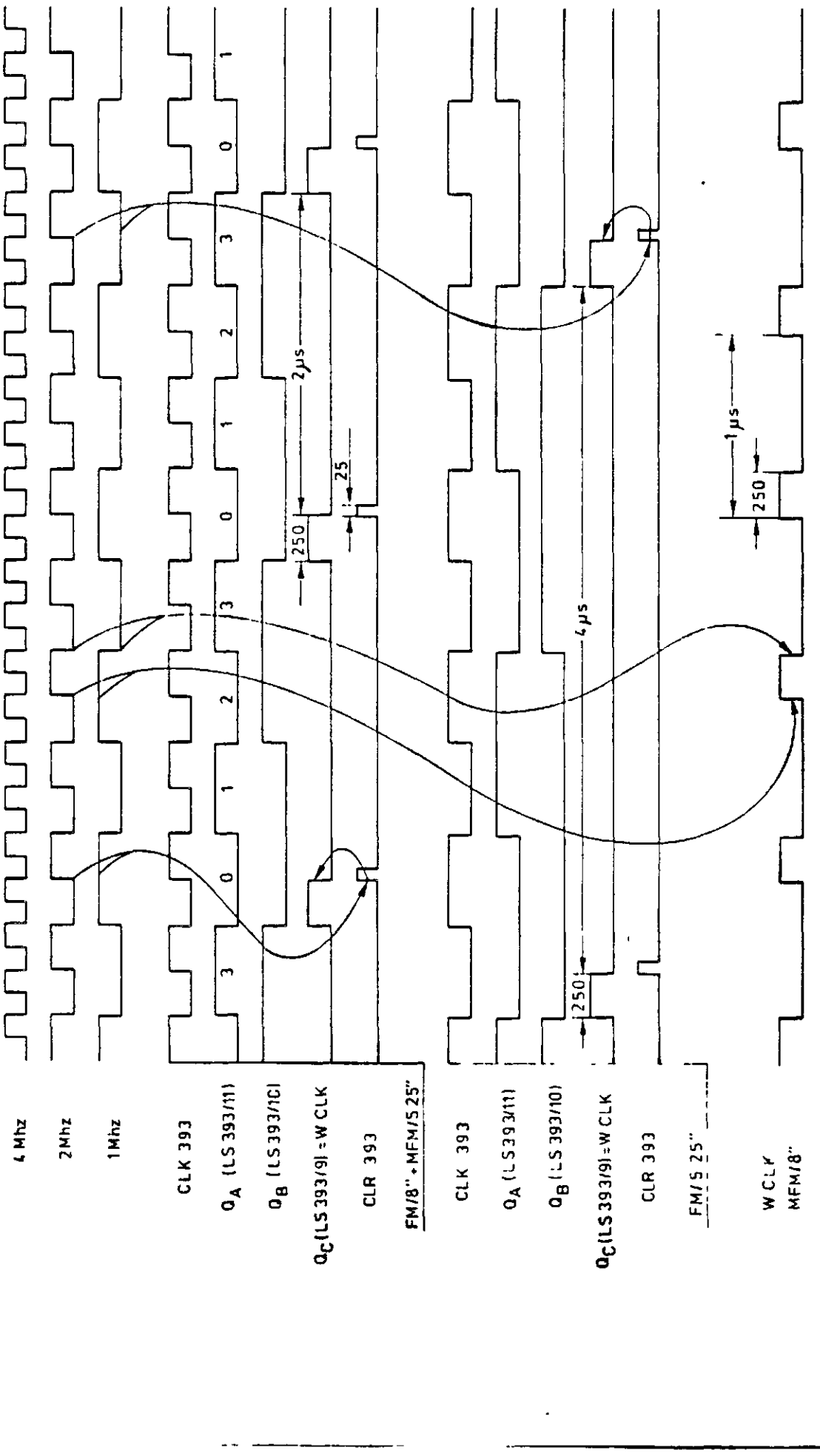
A N H A N G H : Liste aller Adreßsymbole für I/O-Ports

```
;This module contains all the hardware related
;equates for the KDT6 computer board, like
;I/O-addresses and I/O-bit assignments
;-----------------------------------
dma             equ 00h ;on board dma

sio.channel.a   equ 04h
sio.channel.b   equ 05h

ctc1.channel.0  equ 08h
ctc1.channel.1  equ 09h
ctc1.channel.2  equ 0ah
ctc1.channel.3  equ 0bh

pio.port.a      equ 0ch
pio.port.b      equ 0dh

ctc2.channel.0  equ 10h
ctc2.channel.1  equ 11h
ctc2.channel.2  equ 12h
ctc2.channel.3  equ 13h

fdc.765.status  equ 14h ;fdc status register
fdc.765.data    equ 15h ;fdc data register

crtc.pointer    equ 18h ;crtc pointer register
crtc.data       equ 19h ;crtc data register

stp.0           equ 1ch ;status port 0
keyboard        equ 1dh ;keyboard input register
fdc.dack        equ 1eh ;fdc data acknowledge
fdc.tc          equ 1fh ;fdc terminal count input

map.reg.0       equ 20h ;memory mapper base address
map.reg.1       equ 21h
map.reg.2       equ 22h
map.reg.3       equ 23h
map.reg.4       equ 24h
map.reg.5       equ 25h
map.reg.6       equ 26h
map.reg.7       equ 27h
map.reg.8       equ 28h
map.reg.9       equ 29h
map.reg.10      equ 2ah
map.reg.11      equ 2bh
map.reg.12      equ 2ch
map.reg.13      equ 2dh
map.reg.14      equ 2eh
map.reg.15      equ 2fh

vmb0            equ 30h ;bank 0
vmb0.auto.inc   equ 31h ;bank 0 with auto increment

;Ports 32h...35h not used since KDT6 rev. 1.2

auto.dec        equ 36h ;bank 0 with auto decrement
vmb0.auto.inc.1 equ 37h ;bank 0 with auto increment
```

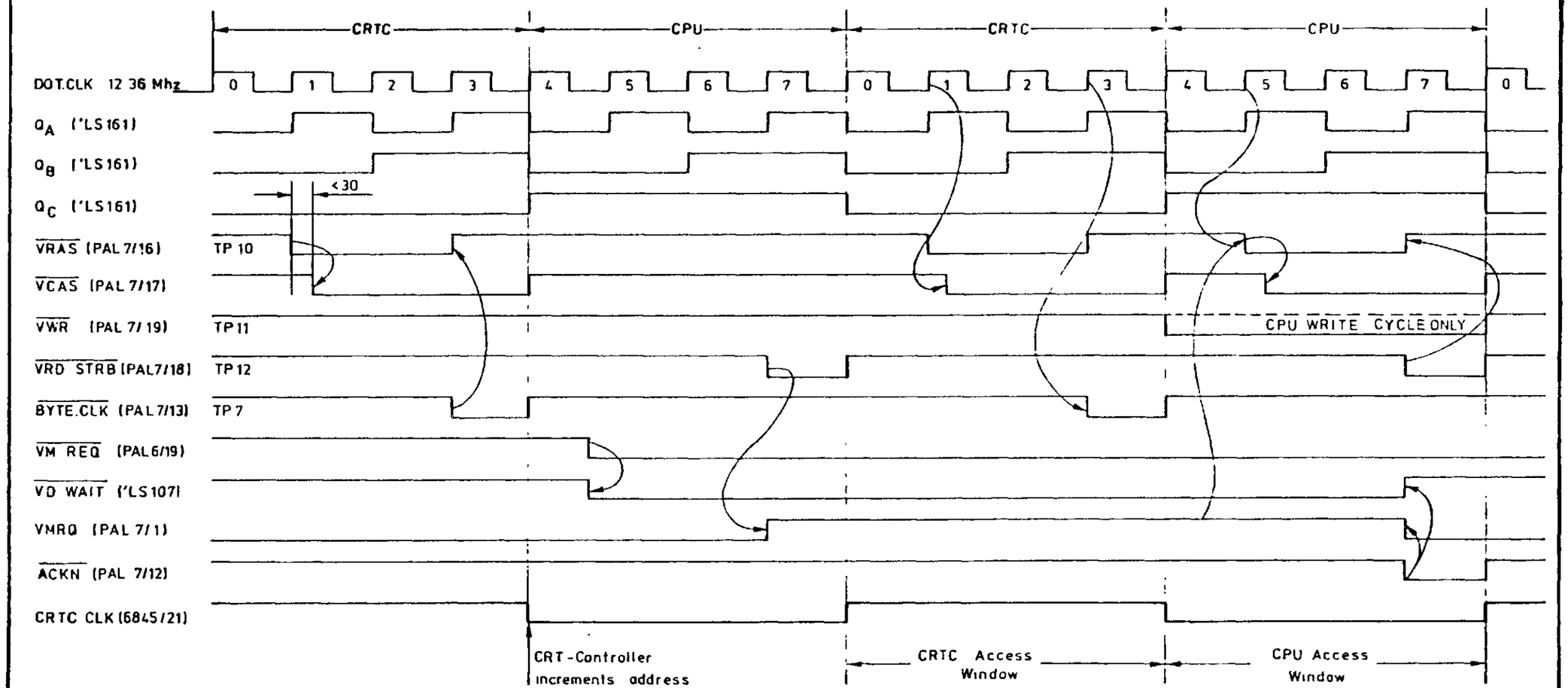
```
stp.1.write     equ 38h ;status port 1 (read)
stp.1.read      equ 39h ;status port 1 (write)
stp.2.write     equ 3ah ;status port 2 (write)

dma.map.reg     equ 3ch ;dma map register
wdog.reg        equ 3dh ;watch dog register
wdog.trigger    equ 3eh ;watch dog trigger input

sasi.ctrl       equ 3bh ;sasi control port
sasi.data       equ 3fh ;sasi data port

sasi.ctrl       equ 3bh ;sasi control port
sasi.data       equ 3fh ;sasi data port

val.low         equ 41h ;video address latch (low)
val.high        equ 40h ;video address latch (high)

;Bit assignments for status port 0
;--------------------------------

watchdog        equ 0   ;watchdog (enable=1/dis.=0)
sysfrequ        equ 1   ;system frequency (full=1/half=0)
sound           equ 2   ;sound (enable=1/disable=0)
a12.cg          equ 3   ;character generator address a12
dma.ready       equ 4   ;select dma triger (fdc=0/sio=1)
poff            equ 5   ;prom off control (off=1/on=0)
stddsk          equ 6   ;select standard/mini floppy disk drive
                        ;(mini=1/standard=0)
motor           equ 7   ;fd-drive motor on control (on=1/off=0)

;Bit assignments for status port 1
;--------------------------------

va14            equ 0   ;bit 14 video scroll address
va15            equ 1   ;bit 15   "      "      "
vbit8           equ 2   ;video bit 8 (e.g. char. invert)
vbit9           equ 3   ;video bit 9 (e.g. char. blinking)
sel.all         equ 4   ;select 3 video memory banks
vid.inv         equ 5   ;video invert (background bright=1)
sel.dm          equ 6   ;select display mode (alpha=1/graph.=0)
sel.sysm        equ 7   ;select system memory (disable mapper=1)

;Bit assignment for SASI-Control Port
;-----------------------------------
SEL.bit         equ 3   ;Select bit
RES.bit         equ 1   ;Reset bit
IO.bit          equ 5   ;I/O bit
CD.bit          equ 4   ;C/D bit
MSG.bit         equ 3   ;MSG bit
REQ.bit         equ 2   ;REQ bit (Request)
BSY.bit         equ 1   ;BSY bit (Busy)
```

```
;Bit assignments for status port 2
;---------------------------------
mapd3           equ 0   ;memory mapper data bit 3
mapd2           equ 1   ;memory mapper data bit 2
mapd1           equ 2   ;memory mapper data bit 1
mapd0           equ 3   ;memory mapper data bit 0


;Port assignment for TCB/IOV (only required because of
;serial Keyboard)
;-----------------------------------------------------
iov.dart2.cha   equ 58h
iov.dart2.chb   equ 59h
iov.ctc1.ch0    equ 54h
iov.ctc1.ch1    equ 55h
iov.ctc1.ch2    equ 56h ;used for baudrate (ser. Keyb.)
iov.ctc1.ch3    equ 57h
```

A N H A N G I: Timingdiagramme



| | | |



Rev	Änderungs-Nr	Tag	Name
1.1		21.4.82	

	Tag	Name
Bearb	21.4.82	SPIES
Gepr	22.4.82	

KONTRON ELECTRONIC

Benennung: KDT 6 Video Timing

Zeichn.-Nr: 1010

Blatt Nr: 8

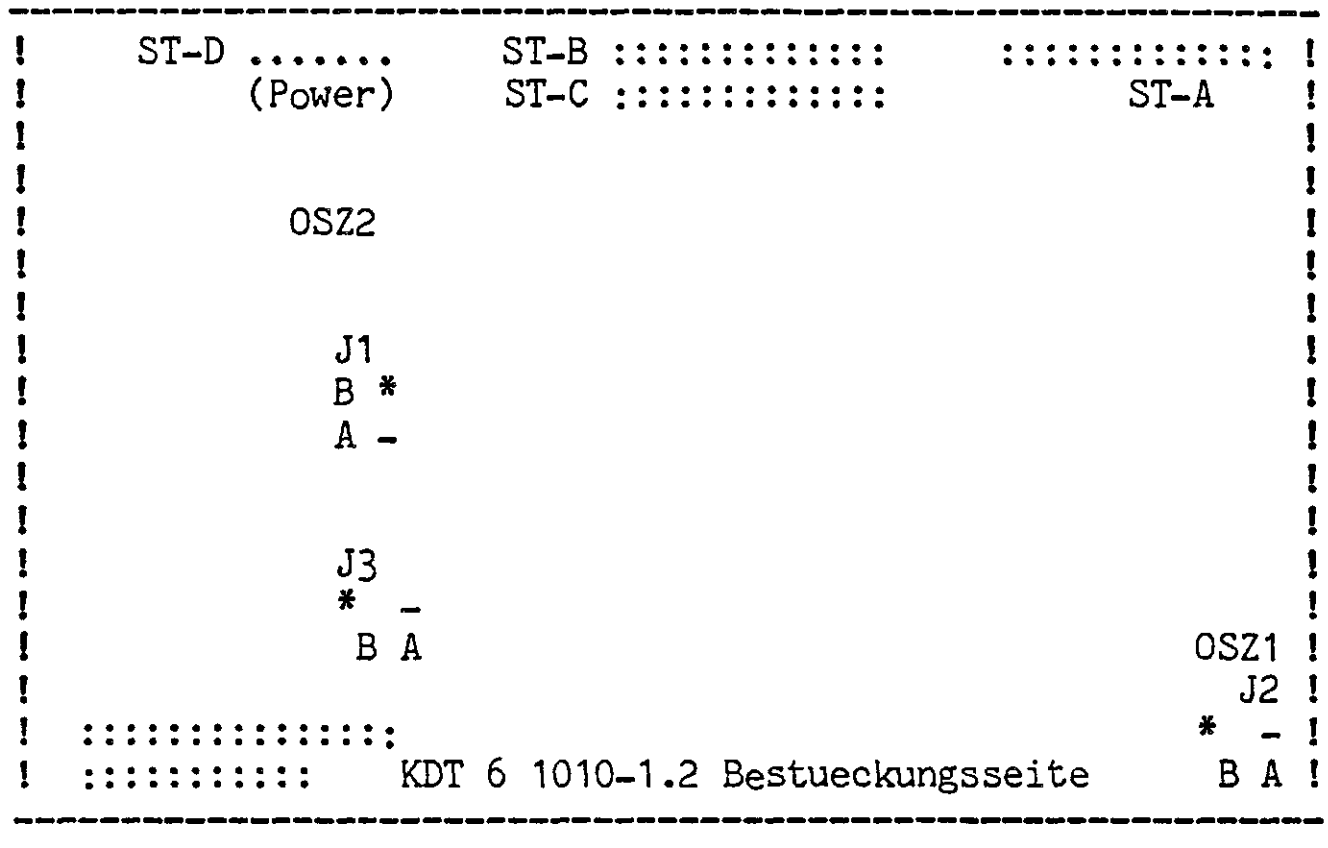
zu Gerät | zu Anlage

A N H A N G J: Voreinstellung der Jumper

JUMPER - VOREINSTELLUNG AUF KDT 6 REV. 1.2

Stand : 8.12.82

* bedeutet : Jumper gesteckt
\- bedeutet : Jumper nicht gesteckt



Beschreibung ("->" bedeutet : Voreinstellung) :

Jumper J1 :

A : 64 KByte Video-Memory
-> B : 16 KByte Video-Memory

Jumper J2 :

A : getrennte Oszillatoren fuer Floppy- und CPU-Takt-Erzeugung (OSZ1 u. OSZ2)
-> B : gemeinsamer Oszillator (OSZ1, 16MHz)

Jumper J3 :

A : 2.0000 MHz fuer Baudratenerzeugung
-> B : 1.2288 MHz fuer Baudratenerzeugung

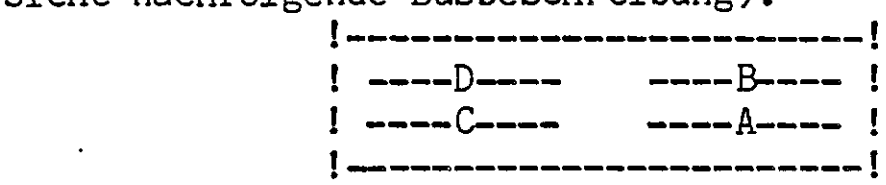
ANHANG K:

ECB-Rack

Der in den Geräten der Reihe Kontron PSI908Q/M2/98 eingebaute ECB-Einschubrahmen erlaubt die Aufnahme von maximal vier (bei Kontron PSI908Q/M2) bzw. sechs (bei Kontron PSI98) zusätzlichen Steckkarten im Kontron ECB-Format mit dem Kontron ECB-Busstandard. Die Pinbelegung der einzelnen ECB-Stecker geht aus folgender Tabelle hervor:

	Reihe	
Pin	a	c
1	+5 Volt	+5 Volt
2	D5	D0
3	D6	D7
4	D3	D2
5	D4	A0
6	A2	A3
7	A4	A1
8	A5	A8
9	A6	A7
10	-WAIT	A16
11	-BUSRQ	-IEI
12	-BAI	A17
13	+12 Volt	A18
14	A19	D1
15	-12 Volt	-15 Volt
16	2 x CLK	-IEO
17	-BAO	A11
18	A14	A10
19	+15 Volt	A21
20	-M1	-NMI
21	A22	-INT
22	A23	-WR
23	-	A20
24	VCMOS	-RD
25	-	-HALT
26	-	-RESET
27	-IORQ	A12
28	-RFSH	A15
29	A13	CLK
30	A9	-MRQ
31	-BUSAK	-RES.IN
32	GND	GND

Die Interruptpriorität ist wie folgt gegeben, wenn der Einschubrahmen von oben betrachtet wird (nur Kontron PSI908Q/M2, für Kontron PSI98 siehe nachfolgende Busbeschreibung).



A: höchste Priorität
B: .
C: .
D: niederste Priorität

Kontron ECB-Karten müssen bei Verwendung von Interrupt-Signalen von Steckerplatz A (höchste Priorität) beginnend eingesteckt werden.

ANHANG L:

Busbeschreibung Kontron PSI98

Stromversorgung:

Der Bus enthält neben den logischen Signalen die Stromversorgungsleitungen, wobei die Leiterbahnen auch für den Einsatz von 24V/5V Gleichspannungswandlern ausgelegt sind.

Für den Einsatz von ECB-Karten, die -5 Volt Versorgungspannung benötigen, kann die Busplatine optional mit einem entsprechenden Spannungsregler bestückt werden; standardmäßig ist der Bus nur mit einem Spannungsregler für -12 Volt bestückt.
Falls Netzteile verwendet werden, die keine +12 Volt liefern, kann alternativ ein Spannungsregler hierfür vorgesehen werden.

Batteriepufferung:

Auf dem Bus ist ebenfalls eine NiCd-Batterie mit zugehöriger Ladeschaltung untergebracht, die Kapazität beträgt 110 mAh bei 3.6 Volt.

Sonstiges:

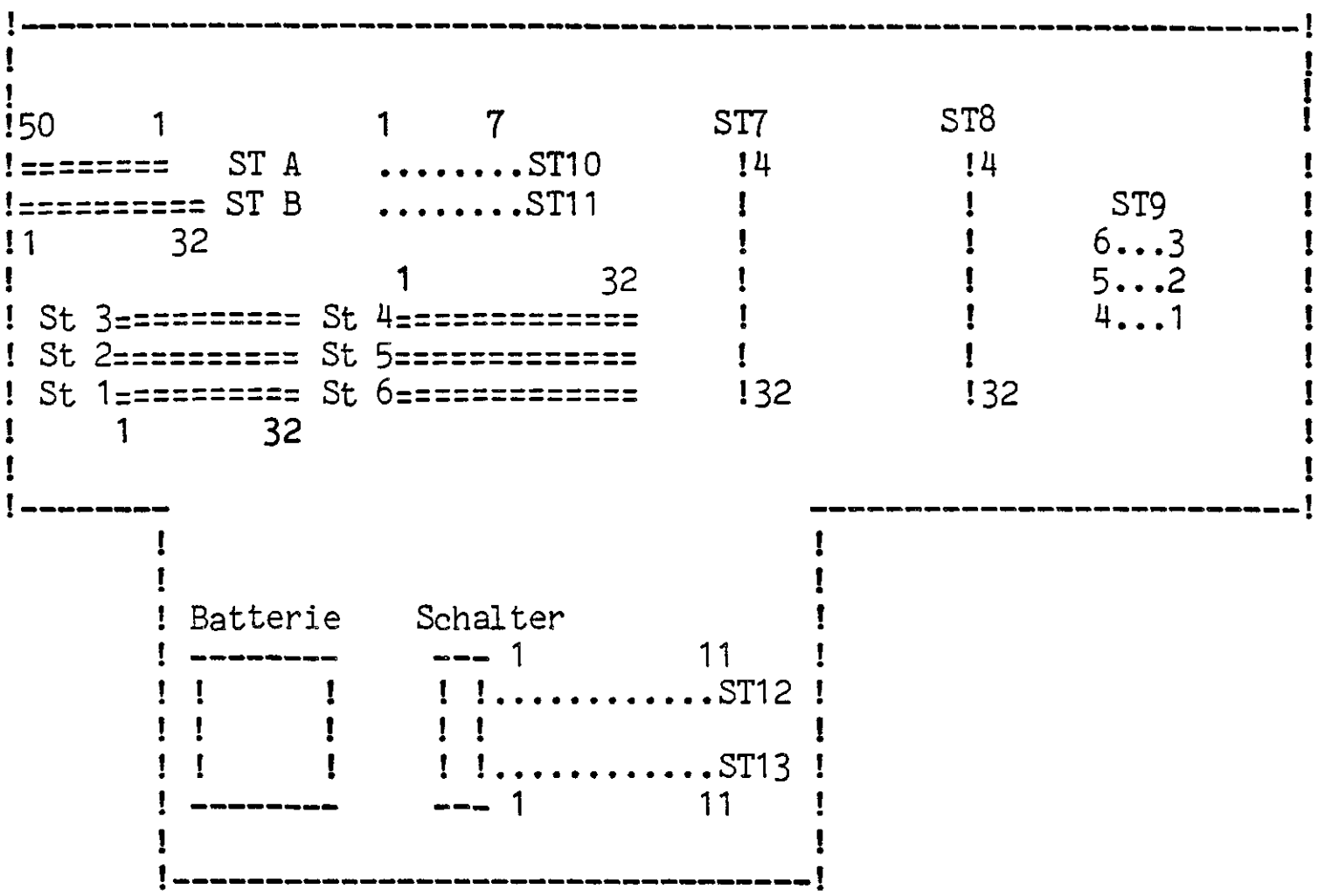
Zur Vermeidung von Masseschleifen werden keine Versorgungsleitungen über Stecker A und B geführt.
Die Interrupt- und Busacknowledge-Daisychain ist von Steckplatz 1 bis 6 über einen 10-fach DIP-Switch überbrückbar.

Hierbei gilt die Zuordnung:

Steckplatz	Verbindung 11c-16c (IEI - IEO)	12a-17a (BAI - BAO)
1	SW1	SW2
2	SW3	SW4
3	SW5	SW6
4	SW7	SW8
5	SW9	SW10
6	-	-

Anhang

Skizze:



Funktion der einzelnen Stecker:

Stecker A	Verbindungsstecker KDT6 - Busplatine
Stecker B	Verbindungsstecker frei
Stecker 1...6	ECB-Steckplätze
Stecker 7,8	Steckplätze für Netzteile
Stecker 9	220V/24V - Spannungszuführung
Stecker 10,11	Powerstecker für KDT6 und IOC/98
Stecker 12	Powerstecker für Peripherie
Stecker 13	dto.
Stecker 14	dto.
Stecker 15	ext. Power für Monitor

Verbindungen Stecker B --- Stecker 3

Bis auf die Leitungen 11c, 16c, 12a, 17a, 32a, 32c, 1a, 1c, 13a, 15a, 15c, 19a, 24a sind alle Leitungen 1:1 durchverbunden.

Verbindungen Stecker 1 - Stecker 2,3,4,5,6

Alle Leitungen bis auf die Pins 11c, 12a, 16c, 17a sind 1:1 durchverbunden.

Verbindungen Stecker A (50-polig) --------- Stecker B (64-polig)

Pin v. Stecker A	Signal	Pin v. Stecker B
1	A0	5c
2	A1	7c
3	A2	6a
4	A3	6c
5	A4	7a
6	A5	8a
7	A6	9a
8	A7	9c
9	A8	8c
10	A9	30a
11	A10	18c
12	A11	17c
13	A12	27c
14	A13	29a
15	A14	18a
16	A15	28c
17	A16/MBS0	10c
18	A17/MBS1	12c
19	A18/MBS2	13c
20	A19/MBS3	14a
21	A20/MBS4	23c
22	A21/MBS5	19c
23	A22/MBS6	21a
24	A23/MBS7	22a
25	D0	2c
26	D1	14c
27	D2	4c
28	D3	4a
29	D4	5a
30	D5	2a
31	D6	3a
32	D7	3c
33	-HALT	25c
34	-RFSH	28a
35	-IORQ	27a
36	-M1	20a
37	-WR	22c
38	-RD	24c
39	-MRQ	30c
40	-BUSRQ	11a
41	-INT	21c
42	-NMI	20c
43	-PWCLR	26c
44	-WAIT	10a
45	-IEO	16c
46	-BAO	17a
47 not connected		
48	CLK	29c
49 not connected		
50	-RESET	31c

Belegung Stecker B = ECB-Bus Standard (ausgenommen Spannungen und Ground).

Belegung Stecker 1...6 = Belegung ECB-Bus Standard

Belegung Stecker 7/8 siehe Netzteilspezifikation

Belegung Stecker 9

1,2,3	=	220 Volt bzw. 24 Volt
4,5,6	=	220 Volt bzw. 24 Volt

Belegung Stecker 10,11

1	RESET
2	Powerfail
3	VCMOS
4	-12V
5	+5Volt
6	+12Volt
7	GND

Belegung Stecker 12

1	GND
2	+5Volt
3	+12Volt
4	nicht belegt
5	GND
6	+5Volt
7	+12Volt
8	nicht belegt
9	GND
10	+5Volt
11	+12Volt

Belegung Stecker 13

1	nicht belegt
2	GND
3	+12Volt
4	nicht belegt
5	GND
6	+5Volt
7	+12Volt
8	nicht belegt
9	GND
10	+5Volt
11	+12Volt

9xx/IOC

I/O-Connector Board für Kontron PSI908/9C

98/IOC

I/O-Connector Board für Kontron PSI98

Eching 25.04.1984

Beschriebene Version: Rev. 1.2 9xx/IOC
Beschriebene Version: Rev. 1.1 98/IOC

Inhalt: Seite

1. Einführung 3

2. Funktionsgruppen 4

2.1 Serielle Schnittstelle 4
2.2 Keyboard Schnittstelle 16
2.3 Parallele Schnittstelle 17
2.4 Akustik-Ausgabe 18
2.5 Video-Ausgabe 18

3. Anhang

A. Pinbelegung von Stecker A 20
B. Pinbelegung von Stecker B 21
C. Pinbelegung von Stecker K 22
D. Stromversorgungsanschlüsse 23
E. Programmierung PAL1 25
F. Liste aller ICs 27
G. Anordung der Schalter und Stecker, Standard-Einstellungen bei 9xx/IOC 28
H. Anordnung der Schalter und Stecker, Standard-Einstellungen bei 98/IOC 31

Liste der Tabellen Seite

Tabelle 1:	Belegung von DIP-Schalter S1 (9xx/IOC)	5
Tabelle 2:	Belegung von DIP-Schalter S2 (9xx/IOC)	6
Tabelle 3:	Belegung von DIP-Schalter S3 (9xx/IOC)	7
Tabelle 4:	Belegung von DIP-Schalter S1 (98/IOC)	8
Tabelle 5:	Belegung von DIP-Schalter S2 (98/IOC)	9
Tabelle 6:	Belegung von DIP-Schalter S3 (98/IOC)	10
Tabelle 7:	Programmierung der Baudrate über CTC1 bei Eingangsfrequenz 2 MHz	11
Tabelle 8:	Programmierung der Baudrate über CTC1 bei Eingangsfrequenz 1,2288 MHz	11
Tabelle 9:	Pinbelegung Stecker C (SIOA-RS422/X.21)	12
Tabelle 10:	Pinbelegung Stecker D (SIOA-RS232 bzw. 20mA-Loop)	13
Tabelle 11:	Pinbelegung Stecker F (SIOB als MODEM-Anschluß)	14
Tabelle 12:	Pinbelegung Stecker F (SIOB als TERMINAL-Anschluß)	15
Tabelle 13:	Pinbelegung Stecker E (Keyboard-Anschluß)	16
Tabelle 14:	Pinbelegung Stecker G (Parallel-Schnittstelle)	17
Tabelle 15:	Pinbelegung Stecker O (Monitoranschluß)	19
Tabelle 16:	Pinbelegung Stecker A (I/O)	20
Tabelle 17:	Pinbelegung Stecker B (I/O)	21
Tabelle 18:	Pinbelegung Stecker K	22
Tabelle 19:	Pinbelegung von Stecker L (KDT6-Versorgung)	23
Tabelle 20:	Pinbelegung von Stecker M (Netzteilanschluß)	23
Tabelle 21:	Pinbelegung von Stecker N, O, P (Laufwerke- und Disk-Controller-Versorgung)	24
Tabelle 22:	Pinbelegung von Stecker Q (ECB-Rack-Versorgung)	24
Tabelle 23:	Liste aller ICs	27

1. Einführung

Die Baugruppe 9xx/IOC ist das Ein-/Ausgabe-Board für die Kontron PSI-Typen "908" und "9C", die Baugruppe 98/IOC ist das Ein-/ Ausgabe-Board für den Kontron PSI-Typ "98".

Diese IOC-Baugruppen stellen die Verbindung der KDT6-Zentralplatine zur Peripherie her und enthalten die Ein-/Ausgabe-Schnittstellen und die Ansteuerungen für Video- und Akustik-Ausgabe.

Die Verbindung zwischen KDT6 Vers. 1.2 und diesen I/O-Connector-Boards stellen zwei 50-polige Flachkabel her. Sämtliche nach außen führende Anschlüsse sind auf direkt eingelötete Stecker gelegt, welche über Gehäuseaussparungen zugänglich sind. Es handelt sich dabei im einzelnen um folgende Anschlüsse:

- RS422/KOBUS (25-pol. D-Buchse)
- RS232/SIOA (25-pol. D-Buchse)
- RS232/SIOB (25-pol. D-Buchse)
- KEYBOARD seriell/parallel (25-pol. D-Buchse)
- CENTRONICS (36-pol. Amphenol-Buchse)
- LIGHTPEN (9-pol. D-Buchse, nur Kontron PSI908/9C)
- COMPOSITE VIDEO (BNC-Buchse)

2. Funktionsgruppen

Die IOCs bestehen aus folgenden Funktionsgruppen:

- zwei serielle Schnittstellen
- Keyboard Schnittstelle
- parallele Schnittstelle
- Akustik-Ausgabe
- Video-Ausgabe

2.1 Serielle Schnittstellen

Diese Funktionsgruppe enthält die Treiber für die beiden SIO-Kanäle der KDT6.

Dabei kann Kanal SIOA wahlweise auf eine RS232-Terminal-Schnittstelle (Stecker ST-D), eine 20 mA-Stromschleifen-Schnittstelle (ebenfalls Stecker ST-D) oder auf eine RS422-Schnittstelle (Stecker ST-C) geschaltet werden. Diese Umschaltung ist über DIP-Schalter möglich.

Kanal SIOB ist als RS232-Schnittstelle auf Stecker ST-F geführt. Die Belegung dieses Steckers ist durch Schalter S4 und S5 umschaltbar zwischen Terminal- und Modembelegung.

Über DIP-Schalter kann dieser Kanal außerdem auf Stecker ST-E geschaltet werden, zum Anschluß eines seriellen Keyboards.

Die Taktversorgung der beiden SIO-Kanäle ist ebenfalls über DIP-Schalter wählbar. Für SIOA können die Taktsignale -TxCA und -RxCA wahlweise von der RS422-Schnittstelle, von der RS232-Schnittstelle oder vom CTC1 kommen. SIOB bezieht sein Taktsignal -TxRxCB von der RS232-Schnittstelle oder vom CTC1.

Tabelle 1: Belegung von DIP-Schalter S1 der 9xx/IOC

Schalter	Stellung	Funktion	Hinweis
S 1-1 (1/2) (braun)	oben	SIO-Eingang RxCA von Signal S der RS422-Schnittstelle angesteuert	hat nur Bedeutung bei Betrieb der SIOA-RS422-Schnittstelle
	unten	SIO-Eingang RxCA von Signal S1 der RS422-Schnittstelle angesteuert	(S3-2 oben)
S 1-2 (3/4) (rot)	oben	SIO-Eingang RxDA von RECEIVE.DATA (Pin D-2) der RS232-Schnittstelle angesteuert	hat nur Bedeutung
	unten	SIO-Eingang RxDA von DATA.IN (Pin D-14) der 20 mA-Loop angesteuert	bei Betrieb
S 1-3 (5/6) (orange)	oben	SIO-Eingang TxCA von CTC1.ZC2 angesteuert	der SIOA-RS232-
	unten	SIO-Eingang TxCA von TRANSM.CLK.IN (Pin D-15) der RS232-Schnittstelle angesteuert	bzw. 20 mA-Loop-
S 1-4 (7/8) (gelb)	oben	SIO-Eingang RxCA von CTC1.ZC2 angesteuert	Schnittstelle
	unten	SIO-Eingang RxCA von REC.CLK.IN (Pin D-17) der RS232 Schnittstelle angesteuert	(S3-2 unten)

Lage der Schalter und Standard-Einstellungen im Anhang.

Tabelle 2: Belegung von DIP-Schalter S2 der 9xx/IOC

Schalter	Stellung	Funktion	Hinweis
S 2-1 (1/2) (braun)	oben	SIOB auf RS232-Schnittstelle geschaltet	
	unten	SIOB auf serielle Keyboard-Schnittstelle geschaltet	———
S 2-2 (3/4) (rot)	oben	SIO-Eingang TxRxCB von CTC1.ZC1 angesteuert	nur bei Betrieb SIOB-RS232-Schnittstelle (S2-1 oben)
	unten	SIO-Einang TxRxCB von TxRxCLK.IN (Pin F-17) der RS232-Schnittstelle angesteuert	
S 2-3 (5/6) (orange)	oben	SIO-Ausgang -RTSB steuert HI.TRANSM.FRQ (Pin F-11) von RS232-Schnittstelle	nur bei Betrieb der SIOB-RS232-Schnittstelle als Modem-Anschluß (S4, S5 in Stellung 2 "MODEM")
	unten	SIO-Ausgang -RTSB steuert REQ.TO.SEND (Pin F-4) von RS232-Schnittstelle	
S 2-4 (7/8) (gelb)	oben	interner Tongeber	
	unten	externer Lautsprecher	———

Lage der Schalter und Standard-Einstellungen im Anhang.

Tabelle 3: Belegung von DIP-Schalter S3 der 9xx/IOC

Schalter	Stellung	Funktion	Hinweis
S 3-1	oben	SIO-Eingang -DCDA von Signal I der RS422-Schnittstelle angesteuert	hat nur Bedeutung bei Betrieb der SIOA RS422-Schnittst.
	unten	SIO-Eingang -DCDA auf H-Pegel	(S 3-2 oben)
S 3-2	oben	SIOA auf RS422-Schnittstelle geschaltet	___
	unten	SIOA auf RS232-Schnittstelle bzw. 20mA-Loop geschaltet	
S 3-3	oben	SIO-Ein-/Ausgang -SYNCA von SYNC.IN (Pin D-13) der RS232-Schnittstelle angesteuert	nur bei Betrieb der SIOA-RS232-Schnittstelle (S3-2 unten)
	unten	SIO-Ein-/Ausgang -SYNCA offen	
S 3-4	oben	HI.TRANSM.SPEED (Pin D-23) von RS232-Schnittstelle auf + 12V	
	unten	HI.TRANSM.SPEED (Pin D-23) von RS232-Schnittstelle offen	
S 3-5	oben	SIO-Ein-/Ausgang -SYNCB von CALL.IN (Pin F-22) oder SYNC.IN (Pin F-13) der RS232 Schnittstelle angesteuert	nur bei Betrieb der SIOB-RS232-Schnittstelle (S2-1 oben)
	unten	SIO-Ein-/Ausgang -SYNCB offen	
S 3-6	oben	HI.TRANSM.SPEED (Pin F-23) von RS232-Schnittstelle auf +12 V	
	unten	HI.TRANSM.SPEED (Pin F-23) von RS232-Schnittstelle offen	
S 3-7	oben	SIO-Ausgang -DTRB steuert TRANSM.ON (Pin F-4) der RS232-Schnittstelle (S2-3 muß unten sein)	nur bei Betrieb der SIOB-RS232-Schnittstelle als Modem-Anschluß (S4, S5 in Stellung 2 'MODEM'
	unten	TRANSM.ON (Pin F-4) offen oder von SIO-Ausgang -RTSB angesteuert	
S 3-8	oben	INT.CLK.OUT (Pin F-24) der RS232-Schnittstelle von CTC1.ZC1 angesteuert	___
	unten	INT.CLK.OUT (Pin F-24) der RS232-Schnittstelle offen	

Lage der Schalter und Standard-Einstellungen im Anhang.

Tabelle 4: Belegung von DIP-Schalter S1 der 98/IOC

Schalter	Stellung	Funktion	Hinweis
S 1-1 (1/2) (braun)	rechts/2	SIO-Eingang RxCA von Signal S der RS422-Schnittstelle angesteuert	hat nur Bedeutung bei Betrieb der SIOA-RS422-Schnittstelle
	links/1	SIO-Eingang RxCA von Signal S1 der RS422-Schnittstelle angesteuert	(S3-2 closed)
S 1-2 (3/4) (rot)	rechts/4	SIO-Eingang RxDA von RECEIVE.DATA (Pin D-2) der RS232-Schnittstelle angesteuert	hat nur Bedeutung
	links/3	SIO-Eingang RxDA von DATA.IN (Pin D-14) der 20 mA-Loop angesteuert	bei Betrieb
S 1-3 (5/6) (orange)	rechts/6	SIO-Eingang TxCA von CTC1.ZC2 angesteuert	der SIOA-RS232-
	links/5	SIO-Eingang TxCA von TRANSM.CLK.IN (Pin D-15) der RS232-Schnittstelle angesteuert	bzw. 20 mA-Loop-
S 1-4 (7/8) (gelb)	rechts/8	SIO-Eingang RxCA von CTC1.ZC2 angesteuert	Schnittstelle
	links/7	SIO-Eingang RxCA von REC.CLK.IN (Pin D-17) der RS232 Schnittstelle angesteuert	(S3-2 open)

Lage der Schalter und Standard-Einstellungen im Anhang.

Tabelle 5: Belegung von DIP-Schalter S2 der 98/IOC

Schalter	Stellung	Funktion	Hinweis
S 2-1 (1/2) (braun)	rechts/2	SIOB auf RS232-Schnittstelle geschaltet	
	links/1	SIOB auf serielle Keyboard-Schnittstelle geschaltet	----
S 2-2 (3/4) (rot)	rechts/4	SIO-Eingang TxRxCB von CTC1.ZC1 angesteuert	nur bei Betrieb SIOB-RS232-Schnittstelle (S2-1 rechts)
	links/3	SIO-Einang TxRxCB von TxRxCLK.IN (Pin F-17) der RS232-Schnittstelle angesteuert	
S 2-3 (5/6) (orange)	rechts/6	SIO-Ausgang -RTSB steuert HI.TRANSM.FRQ (Pin F-11) von RS232-Schnittstelle	nur bei Betrieb der SIOB-RS232-Schnittstelle als Modem-Anschluß (S4, S5 in Stellung 2 "MODEM")
	links/5	SIO-Ausgang -RTSB steuert REQ.TO.SEND (Pin F-4) von RS232-Schnittstelle	
S 2-4 (7/8) (gelb)	rechts/8	interner Tongeber	----
	links/7	externer Lautsprecher	

Lage der Schalter und Standard-Einstellungen im Anhang.

Tabelle 6: Belegung von DIP-Schalter S3 der 98/IOC

Schalter	Stellung	Funktion	Hinweis
S 3-1	closed	SIO-Eingang -DCDA von Signal I der RS422-Schnittstelle angesteuert	hat nur Bedeutung bei Betrieb der SIOA RS422-Schnittst.
	open	SIO-Eingang -DCDA auf H-Pegel	(S 3-2 closed)
S 3-2	closed	SIOA auf RS422-Schnittstelle geschaltet	___
	open	SIOA auf RS232-Schnittstelle bzw. 20mA-Loop geschaltet	
S 3-3	closed	SIO-Ein-/Ausgang -SYNCA von SYNC.IN (Pin D-13) der RS232-Schnittstelle angesteuert	nur bei Betrieb der SIOA-RS232-Schnittstelle
	open	SIO-Ein-/Ausgang -SYNCA offen	
S 3-4	closed	HI.TRANSM.SPEED (Pin D-23) von RS232-Schnittstelle auf + 12V	(S3-2 open)
	open	HI.TRANSM.SPEED (Pin D-23) von RS232-Schnittstelle offen	
S 3-5	closed	SIO-Ein-/Ausgang -SYNCB von CALL.IN (Pin F-22) oder SYNC.IN (Pin F-13) der RS232 Schnittstelle angesteuert	nur bei Betrieb der SIOB-RS232-Schnittstelle
	open	SIO-Ein-/Ausgang -SYNCB offen	
S 3-6	closed	HI.TRANSM.SPEED (Pin F-23) von RS232-Schnittstelle auf +12 V	(S2-1 rechts)
	open	HI.TRANSM.SPEED (Pin F-23) von RS232-Schnittstelle offen	
S 3-7	closed	SIO-Ausgang -DTRB steuert TRANSM.ON (Pin F-4) der RS232-Schnittstelle (S2-3 muß links sein)	nur bei Betrieb der SIOB-RS232-Schnittstelle als Modem-Anschluß
	open	TRANSM.ON (Pin F-4) offen oder von SIO-Ausgang -RTSB angesteuert	(S4, S5 in Stellung 2 'MODEM'
S 3-8	closed	INT.CLK.OUT (Pin F-24) der RS232-Schnittstelle von CTC1.ZC1 angesteuert	___
	open	INT.CLK.OUT (Pin F-24) der RS232-Schnittstelle offen	

Lage der Schalter und Standard-Einstellungen im Anhang.

Tabelle 7: Programmierung der Baudrate über CTC1 bei Eingangsfrequenz 2 MHz

SIO-Takt CTC-Betr.Art:	x16 Zähler	x32 Zähler	x64 Zähler	x16 Zeitgeber
BAUDRATE		CTC-Teilerfaktor		
9600	13 (0,16%)	-	-	-
4800	26 (0,16%)	13 (0,16%)	-	-
2400	52 (0,16%)	26 (0,16%)	13 (0,16%)	-
1200	104 (0,16%)	52 (0,16%)	26 (0,16%)	-
600	208 (0,16%)	104 (0,16%)	52 (0,16%)	-
300	-	208 (0,16%)	104 (0,16%)	-
150	-	-	208 (0,16%)	-
110	-	-	-	142 (0%)
75	-	-	-	208 (0,16%)

in Klammern: Abweichung des Taktes vom Sollwert

Tabelle 8: Programmierung der Baudrate über CTC1 bei Eingangsfrequenz 1,2288 MHz

SIO-Takt CTC-Betr.Art:	x16 Zähler	x32 Zähler	x64 Zähler	x16 Zähler
BAUDRATE		C T C - Teilerfaktor		
76800	1	-	-	-
38400	2	1	-	-
19200	4	2	1	-
9600	8	4	2	-
4800	16	8	4	-
2400	32	16	8	-
1200	64	32	16	-
600	128	64	32	-
300	0	128	64	-
150	-	0	128	-
110	-	-	-	87 (0,16%)
75	-	-	0	128

Teilerfaktor 0 entspricht 256

Keine Abweichung des Taktes vom Sollwert (außer bei 110 Baud).

Die Signale von SIOA und SIOB sind an die 25-poligen Stecker ST-C, ST-D, ST-E und ST-F geführt.

Tabelle 9: Pinbelegung Stecker C der 9xx/98/IOC (SIOA - RS422/X.21)

Anschluß SIO	Pin von ST-C	Signalbezeichnung	Input/Output
RxDA	4	R	I
-	16	RR	-
DCDA	5	I	I
-	17	IR	-
TxCA *)	6	S	I
- *)	18	SR	-
RxCA	7	S1	I
-	19	S1R	-
TxDA	2	T	O
-	14	TR	-
DTRA	3	C	O
-	15	CR	-
+5V	9,10,21,22,23	+5V	-
GND	8,11,12,13,24,25	GND	-
-	1	Shield	-

*) Es besteht die Möglichkeit, durch Schließen der Lötjumper J7 und J8 das Taktsignal von CTC1, Kanal ZC2 auf diese Pins zu legen.

Damit ist es möglich, eine synchrone Datenverbindung ohne zusätzlichen externen Taktgeber aufzubauen. Diese Option wird softwaremäßig von KONTRON bisher nicht unterstützt.

Tabelle 10: Pinbelegung Stecker D der 9xx/98/IOC (SIOA - RS232 bzw. 20 mA-Loop)

Pin	Anschluß SIO	Signalname	Input/Output
1	-	Shield	-
2	RxDA *	Receive Data	I
3	TxDA	Send Data	0
4	-CTSA	Clear to Send	I
5	-DTRA	Data Terminal Ready	0
6	-RTSA	Request to Send	0
7	-	GND	-
8	-	nc	-
9	-	20mA-Data In (-)	-
10	-	20mA-Data Out(-)	-
11	-	nc	-
12	-	nc	-
13	-SYNCA	Sync In	I
14	RxDA *	20mA-Data In (+)	I
15	TxCA	Transmitter Clock In	I
16	TxDA	20mA-Data Out (+)	0
17	RxCA	Receiver Clock In	I
18	-	nc	-
19	-	nc	-
20	-DCDA	Carrier Detect	I
21	-	nc	-
22	-	nc	-
23	-	High Transmission Speed	0
24	-	nc	-
25	-	nc	-

* = umschaltbar

Tabelle 11: Pinbelegung Stecker F der 9xx/98/IOC (SIOB als MODEM-Anschluß)

Schalterstellung: S4 und S5 auf "MODEM" (2)

Pin	Anschluß SIO	Signalname	Input/Output
1	-	Shield	-
2	TxDB	Transmit Data	O
3	RxDB	Receive Data	I
4	-RTSB/-DTRB *	Transmitter On	O
5	-	nc	-
6	-CTSB	Data Set Ready	I
7	-	GND	-
8	-DCDB	Carrier Detect	I
9	-	nc	-
10	-	nc	-
11	-RTSB *	High Transmission Frequency	O
12	-	nc	-
13	-	nc	-
14	-	nc	-
15	-	nc	-
16	-	nc	-
17	TxRxCB *	TxR Clock In	I
18	-	nc	-
19	-	nc	-
20	-DTRB *	Data Terminal Ready	O
21	-	nc	-
22	-SYNCB	Call In	I
23	-	High Transmission Speed	O
24	TxRxCB *	Internal Clock Out	O
25	-	nc	-

* = umschaltbar

Tabelle 12: Pinbelegung Stecker F der 9xx/98/IOC (SIOB als TERMINAL-Anschluß)

Schalterstellung S4 und S5 auf "TERMINAL" (1)

Pin	Anschluß SIO	Signalname	Input/Output
1	-	Shield	-
2	RxDB	Receive Data	I
3	TxDB	Send Data	0
4	-CTSB	Clear to Send	I
5	-DTRB	Data Terminal Ready	0
6	-RTSB	Request to Send	0
7	-	GND	-
8	-	nc	-
9	-	nc	-
10	-	nc	-
11	-	nc	-
12	-	nc	-
13	-SYNCB	Sync In	I
14	-	nc	-
15	-	nc	-
16	-	nc	-
17	TxRxCB *	TxR Clock In	I
18	-	nc	-
19	-	nc	-
20	-DCDB	Carrier Detect	I
21	-	nc	-
22	-	nc	-
23	-	nc	-
24	TxRxCB *	Internal Clock Out	0
25	-	nc	-

* = umschaltbar

2.2 Keyboard-Schnittstelle

Stecker E enthält eine parallele und eine serielle Keyboard-Schnittstelle, d.h. es kann wahlweise eine parallele oder eine serielle Tastatur angeschlossen werden. Die Pinbelegung für die parallele Schnittstelle entspricht der bisherigen PSI80-Tastatur.

Die zusätzliche serielle Schnittstelle wurde auf freie Pins desselben Steckers geführt. Sie wird über den Kanal B des SIO auf der KDT6 bedient.

Tabelle 13: Pinbelegung Stecker E der 9xx/98/IOC (Keyboard-Anschluß)

Pin	von ST-E	Signalbezeichnung	Input/Output
9	)	KEY.D0	I
8	)	KEY.D1	I
7	)	KEY.D2	I
6	) parallel	KEY.D3	I
5	)	KEY.D4	I
4	)	KEY.D5	I
3	)	KEY.D6	I
2	)	KEY.D7	I
11	)	KEY.STRB (CTC2.CLK1)	I
15	)	+ KEY.TRANSM (SIO.TxDB)	O
16	)	- KEY.TRANSM (SIO.TxDB)	O
17	) seriell	+ KEY.REC (SIO.RxDB)	I
18	)	- KEY.REC (SIO.RxDB)	I
13		+ 5V	-
14		GND	-
1		Shield	-

2.3 Parallele Schnittstelle

Die Parallelschnittstelle führt die Signale des PIO-Bausteins auf den 36-poligen Amphenol-Stecker ST-G. 16 Ein-/Ausgänge und zwei Handshake-Leitungen werden zur Verfügung gestellt. Alle Datenleitungen sind mit nichtinvertierenden Schmitt-Trigger-Bausteinen gepuffert und so angeordnet, daß Drucker mit Parallelschnittstelle (Centronics-Schnittstelle) und Winchesterlaufwerke angeschlossen werden können. Die Steckerbelegung entspricht dem weitverbreiteten CENTRONICS-Interface.

Tabelle 14: Pinbelegung ST-G der 9xx/98/IOC (Parallelschnittstelle):

Anschluß PIO	Pin	Signalbezeichnung		Input/Output Bidirektional
A0	1	-STROBE		0
A1	31	-IPRIME		0
A2	32	-FAULT		I
A3	12	-EMPTY		I
A4	11	-BUSY		I
A5	13	-SELECT		I
A6	34	SPARE	) über	0
A7	36	DIRECTION B)		0
			) Löt-	
BSTRB	15		)	I
BRDY	35		) jumper	0
B0	2	DATA 0		B
B1	3	DATA 1		B
B2	4	DATA 2		B
B3	5	DATA 3		B
B4	6	DATA 4		B
B5	7	DATA 5		B
B6	8	DATA 6		B
B7	9	DATA 7		B
-	18	+ 5V		-
-	14,16,17,19...30	GND		-

2.4 Akustik-Ausgabe

Kanal 0 von CTC 2 steuert einen Lautsprecher bzw. einen Summer an. Die Lautstärke läßt sich über ein internes oder ein externes Poti steuern. Der Anschluß von Poti und Lautsprecher erfolgt über Stecker ST-K. Die Umschaltung externer Lautsprecher - Summer geschieht mit Schalter S2-4.

2.5 Video-Ausgabe

Diese Baugruppe verarbeitet die vom Videocontroller auf der KDT6 gelieferten Signale und erzeugt die zur Ansteuerung eines Monitors nötigen Video-Signale. Außerdem stellt sie ein BAS-Signal (Composite Video) für den Anschluß eines externen Monitors zur Verfügung.

Die Funktionen 'Invertierung' und 'Blinken' werden hier realisiert. Über ein Monoflop wird der Lightpen-Strobe erzeugt (nur 9xx/IOC).

Die Invertierung eines Zeichens erfolgt unter einer der folgenden Bedingungen:

- der Cursor steht auf dem Zeichen
- Bit 8 in der Hauptvideobank ist gesetzt
- der gesamte Bildschirm ist invertiert
  (Bit 5 von Statusport 1 auf KDT6 ist rückgesetzt)

Das Blinken eines Zeichens wird durch Bit 9 der Hauptvideobank bewirkt. Das Blinken von Zeichen erfolgt synchron zur Blinkfrequenz des Cursors, da beide Signale vom gleichen Zähler erzeugt werden. Der Video-Controller (CRTC) auf der KDT6 muß dazu so programmiert sein, daß der Cursor dauernd vorhanden ist ("non-blinking"). Die Blinkfrequenz beträgt 1,56 Hz.

Die Ausgangssignale werden auf Stecker ST-O geführt. Dort kann über ein Flachkabel (26-polig) der Monitor angeschlossen werden.

Das BAS-Signal (Composite Video) ist über die BNC-Buchse ST-I von außen zugänglich.

Tabelle 15: Pinbelegung Stecker 0 der 9xx/98/IOC (Monitoranschluß)

Pin	Signalbezeichnung
2	VIDEO
7	HSYNC
8	VSYNC
16	BRIGHTNESS 1
17	BRIGHTNESS 3
18	BRIGHTNESS 2
9,10,11,22,23	+ 12V
1,3,4,5,6,14,15	GND
19,20,21,24,25,26	GND

3. ANHANG

ANHANG A:

Tabelle 16: Pinbelegung Stecker A der 9xx/98/IOC (I/O)

Pin #	Signal	
1	-	
.	.	
.	.	
.	.	
18	-	
19	-	
20	-	
21	-	
22	-	
23	-	
24	-VSYNC	TTL-Output
25	-HSYNC	TTL-Output
26	DE: Display Enable	TTL-Output
27	CRS: Cursor Enable	TTL-Output
28	VINV: Video Invert	TTL-Output
29	LPEN: Light Pen (nur 9xx)	TTL-Input
30	DM: Display Mode	TTL-Output
31	VBIT9	TTL-Output
32	GND	
33	VBIT8	TTL-Output
34	GND	
35	VDOG: Video Data (Graphic)	TTL-Output
36	GND	
37	VDOA: Video Data (Alpha)	TTL-Output
38	GND	
39	-	
40	GND	
41	-	
42	GND	
43	-	
44	-	
45	-	
46	+ 5V	
47	+ 5V	
48	GND	
49	GND	
50	-	

ANHANG B: Tabelle 17: Pinbelegung Stecker B der 9xx/98/IOC (I/O)

Pin #	Signal	
1	KEY.D7	(Keyboard Data)
2	KEY.D6	"
3	KEY.D5	"
4	KEY.D4	"
5	KEY.D3	"
6	KEY.D2	"
7	KEY.D1	"
8	KEY.D0	"
9	-	-
10	CTC2.CLK1	(Keyboard-Strobe)
11	CTC2.ZC0	(Audio Output)
12	PIO.A0	
13	PIO.A1	
14	PIO.A2	
15	PIO.A3	
16	PIO.A4	PIO Port A
17	PIO.A5	
18	PIO.A6	
19	PIO.A7	
20	PIO.ARDY	
21	-PIO.ASTRB	
22	-PIO.BSTRB	
23	PIO.BRDY	
24	PIO.B7	
25	PIO.B6	
26	PIO.B5	PIO Port B
27	PIO.B4	
28	PIO.B3	
29	PIO.B2	
30	PIO.B1	
31	PIO.B0	
32	SIO.TxDA	
33	-SIO.DTRA	
34	-SIO.RTSA	
35	SIO.RxDA	
36	-SIO.CTSA	SIO Channel A
37	-SIO.DCDA	
38	-SIO.TxCA	
39	-SIO.RxCA	
40	-SIO.SYNCA	
41	-SIO.SYNCB	
42	-SIO.TxRxCB	
43	-SIO.DCDB	
44	-SIO.CTSB	
45	SIO.RxDB	SIO Channel B
46	-SIO.RTSB	
47	-SIO.DTRB	
48	SIO.TxDB	
49	CTC1.ZC1	
50	CTC1.ZC2	

ANHANG C:

Tabelle 18: Pinbelegung von Stecker K der 9xx/98/IOC

Pin	Signalbezeichnung
1	RESET.IN
2	GND
3	GND
4	BRIGHTNESS 2
5	" 3
6	" 1
7	LS.POT
8	SOUND.OUT
9	GND
10	PWR.LAMP (+ 5V)

ANHANG D:

Stromversorgungsanschlüsse:

Tabelle 19: Pinbelegung von Stecker L der 9xx/98/IOC (KDT6-Versorgung)

Pin	Bezeichnung
1	+ 5V
2	GND
3	VCMOS
4	P.FAIL
5	RESET.IN
6	nc
7	nc

Tabelle 20: Pinbelegung von Stecker M der 9xx/98/IOC (Netzteil-Anschluß

Pin	Bezeichnung
1	+ 5V-Sensor
2	GND-Sensor
3	+ 5V
4	+ 5V
5	GND
6	GND
7	+ 12V
8	- 15V
9	VCMOS
10	PWR.FAIL
11	+ 15V

Tabelle 21: Pinbelegung von Stecker N,O,P der 9xx/98/IOC
(Versorgung für Laufwerke + Disk-Controller)

Pin	Bezeichnung
1	+ 12V
2	+ 5V
3	GND

Tabelle 22: Pinbelegung von ST-Q der 9xx/98/IOC
(Versorgung für ECB-Rack)

Pin	Bezeichnung
1	+ 5V
2	GND
3	+ 12V
4	+ 15V
5	- 15V
6	- 12V
7	VCMOS

ANHANG E: Programmierung von PAL 1

a) für 12" Monitor (Panasonic M-12021NB)

```
PAL16L4                                          PAL  DESIGN SPECIFICATION
PGT90L                                           11/12/1987
VIDPAL1          VIDEO LOGIC FUR 9XX/IOC

VSYNC, HSYNC BDE VINV VBLITR VBIT9 VDOR VPON FM RMD
NC  12 /INTLBDE /INVPKT /SYNC /VIDFD /INT.VIDEO LM3 19 VCC

IF (VCC)   SYNC      =  HSYNC*VSYNC + /HSYNC*/VSYNC

IF (VCC)   INVERT    =  CRC*HBLK*/VIPV*/VBLITB +
                        CRS*HBLK*VINV*/VBLITB +
                        /CRS*/VINV*VBIT9 +
                        /BLK*/VINV*VBITB +
                        /CRC*VINV*/VBITB +
                        /BLK*VINV*/VBIT9

IF (VCC)   INT.VIDEO = VDOR*HBLK*/VBIT9 +
                        VDOR*VBLK*VBIT9*INT +
                        VDOR*DE

IF (VCC)   VIDEO     =  INT.VIDEO*/INTVBLK*/HBLK*/DE +
                        /INT.VIDEO*INVERT*/HBLK*/DE

IF (VCC)   INT.DE    =  DE

DESCRIPTION

OUTPUTS
-------

SYNC:          COMPOSITE SYNC SIGNAL FOR MONITOR AND VIDEO SIGNALGENERATION
INVERT:        INVERTED VIDEO SIGNAL
INT.VIDEO:     AUXILIARY SIGNAL FOR VIDEO MULTIPLEXATION
VIDEO:         VIDEO SIGNAL
INT.DE:        AUXILIARY SIGNAL FOR VIDEO SYNCHRONISATION
```

b) für 15" Monitor (Panasonic H-15621NA)

```
PAL16L8                                                 PAL DESIGN SPECIFICATION
PAT005                                                  03/01/1983
VIDPAL1          VIDEO LOGIC FOR 9XX/IOC (15" MONITOR)

VSYNC HSYNC SDE VINV VBIT8 VBIT9 VDOA VDOG DM GND
BLK /VSYNC.OUT /INT.SDE /INVERT /SYNC /VIDEO /INT.VIDEO CRS /HSYNC.OUT
VCC


IF (VCC)  SYNC      =  HSYNC*VSYNC + /HSYNC*/VSYNC

IF (VCC)  INVERT    =  CRS*BLK*/VINV*/VBIT9 +
                       CRS*BLK*VINV*/VBIT8 +
                       /CRS*/VINV*VBIT8 +
                       /BLK*/VINV*VBIT8 +
                       /CRS*VINV*/VBIT8 +
                       /BLK*VINV*/VBIT8

IF (VCC)  INT.VIDEO =  VDOA*DM*/VBIT9 +
                       VDOA*DM*VBIT9*BLK +
                       VDOG*/DM

IF (VCC)  VIDEO     =  INT.VIDEO*/INVERT*SDE*INT.SDE +
                       /INT.VIDEO*INVERT*SDE*INT.SDE

IF (VCC)  INT.SDE   =  SDE

IF (VCC)  HSYNC.OUT =  /HSYNC

IF (VCC)  VSYNC.OUT =  /VSYNC


DESCRIPTION:

OUTPUTS
-------

SYNC:          COMPOSITE SYNC SIGNAL FOR COMPOSITE VIDEO GENERATION
INVERT:        INVERTED VIDEO CONDITION
INT.VIDEO:     AUXILIARY SIGNAL FOR VIDEO GENERATION
VIDEO:         VIDEO SIGNAL
INT.SDE:       AUXILIARY SIGNAL FOR VIDEO GENERATION
HSYNC.OUT:     HORIZONTAL SYNC SIGNAL (NOT INVERTED)
VSYNC.OUT:     VERTICAL SYNC SIGNAL (NOT INVERTED)
```

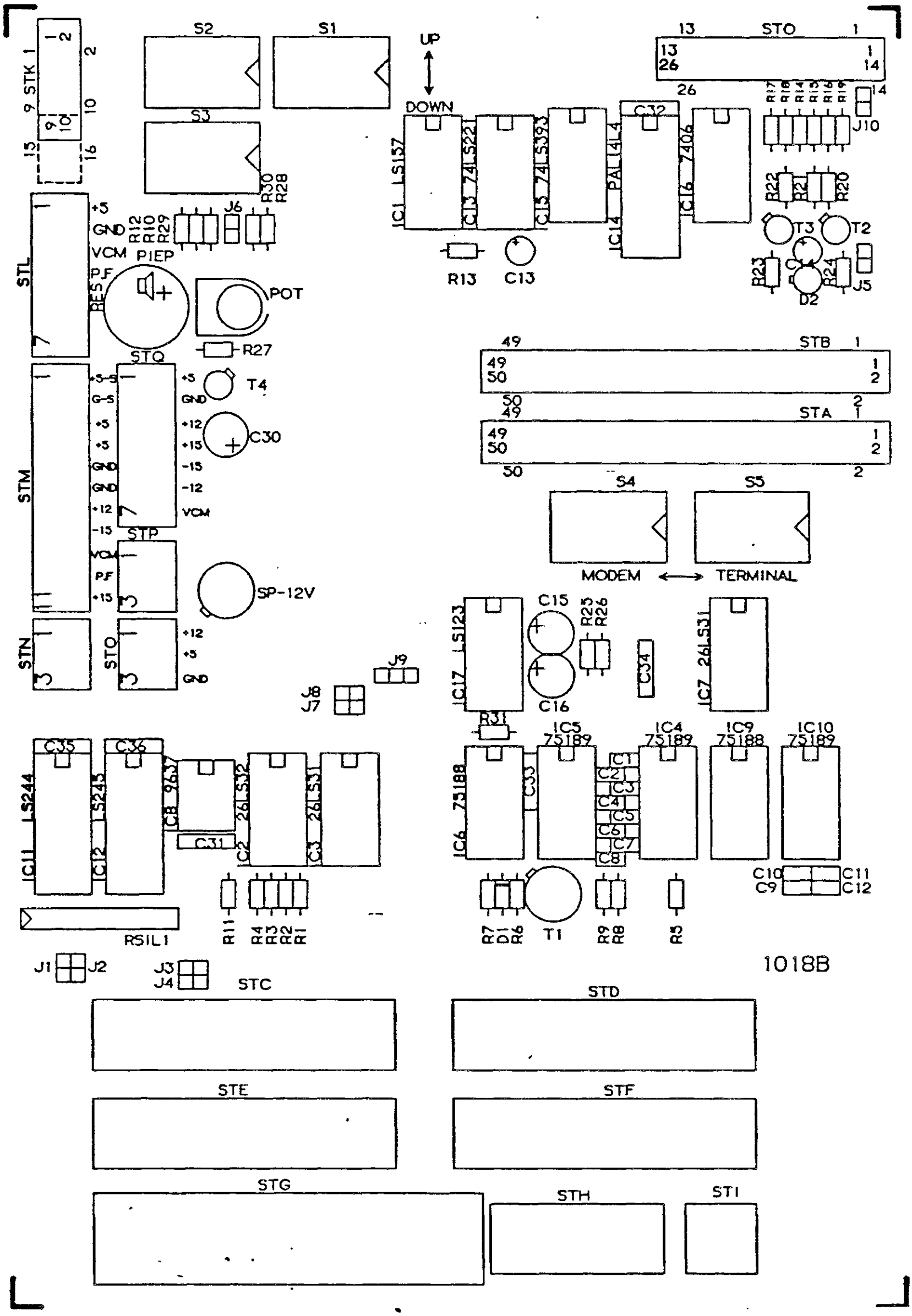
ANHANG F:

Tabelle 23: Liste aller ICs der 9xx/98/IOC

Typ	Bezeichnung im Schaltplan	Beschreibung
PAL16L8	PAL	Programmable Array Logic
26LS31 (75172)	IC3, IC7	Quad Differential Line Drivers
26LS32 (75173)	IC2	Quad Differential Line Receivers
7406	IC16	Hex Invert Buffer/Drivers (o.C.)
74LS123	IC17 (nur 9xx)	Dual Monostable Multivibrators
74LS157	IC1	Quad 2 to 1 Multiplexers
74LS221	IC13	Dual Monostable Multivibrators
74LS244	IC11	Octal Bus Buffers
74LS245	IC12	Octal Bus Transceivers
74LS393	IC15	Dual 4-bit Counters
75188	IC6,IC9	Quad Line Drivers (RS232)
75189	IC4,IC5,IC10	Quad Line Receivers (RS232)
9637	IC8	Dual Differential Line Receivers

ANHANG G:

Anordnung der Schalter und Stecker, Standard-Einstellungen bei 9xx/IOC



Standard-Einstellungen der Schalter S1 bis S5 bei 9xx/IOC

a) SIOA an KOBUS-Schnittstelle (Stecker C)

Schalter	S1				S3							
	4	3	2	1	8	7	6	5	4	3	2	1
Stellung	*	*	*	u	*	*	*	*	*	u	o	u

b) SIOA an RS232-Schnittstelle (Stecker D)

Schalter	S1				S3							
	4	3	2	1	8	7	6	5	4	3	2	1
Stellung	o	o	o	*	*	*	*	*	u	u	u	*

c) SIOA an 20mA-Loop-Schnittstelle (Stecker D)

Schalter	S1				S3							
	4	3	2	1	8	7	6	5	4	3	2	1
Stellung	o	o	u	*	*	*	*	*	*	*	u	*

d) SIOB an Terminal-Schnittstelle (Stecker F)

Schalter	S2				S3								S4	S5
	4	3	2	1	8	7	6	5	4	3	2	1		
Stellung	*	u	o	o	u	u	u	u	*	*	*	*	T/1	T/1

e) SIOB an Modem-Schnittstelle (Stecker F)

Schalter	S2				S3								S4	S5
	4	3	2	1	8	7	6	5	4	3	2	1		
Stellung	*	u	o	o	u	u	u	o	*	*	*	*	M/2	M/2

f) SIOB an Keyboard-Schnittstelle (Stecker E)

Schalter	S2			
	4	3	2	1
Stellung	*	*	o	u

g) Lautsprecher-Umschaltung

S2-4 in Stellung "o" : interner Tongeber
S2-4 in Stellung "u" : externer Lautsprecher

o bedeutet : Schalter oben bzw. closed (S3)

u bedeutet : Schalter unten bzw. open (S3)

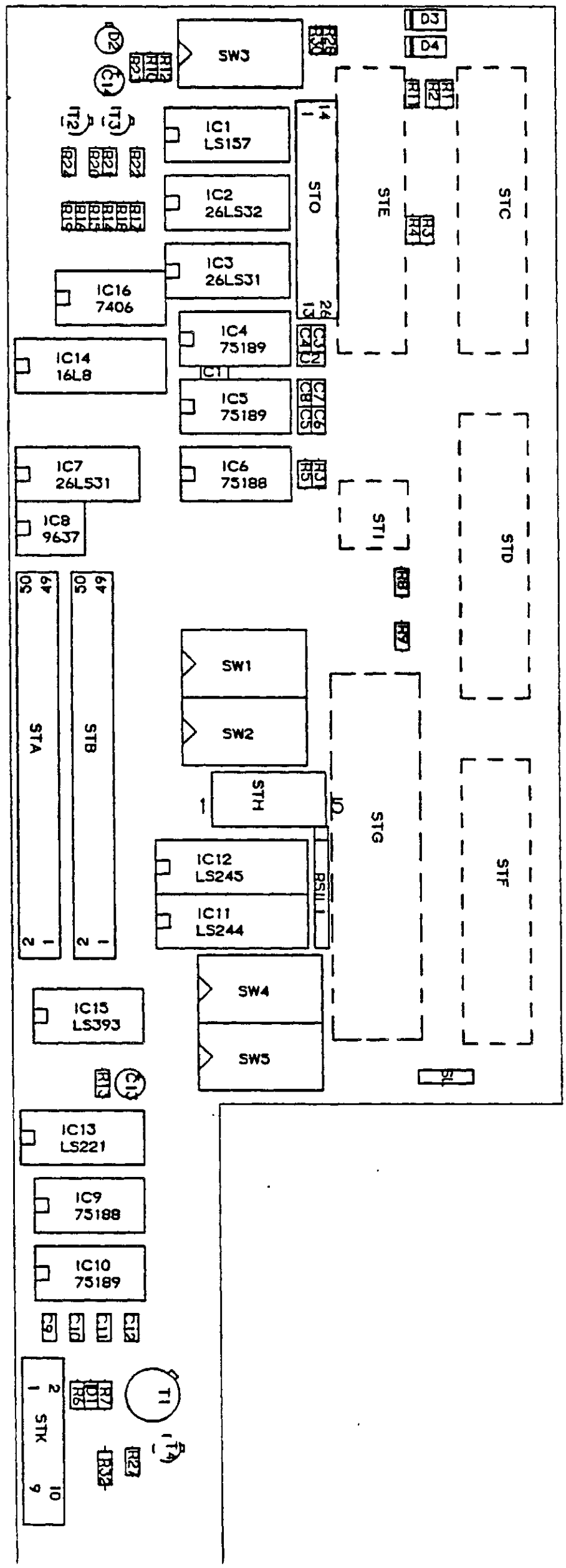
***** bedeutet : Schalter unwirksam

T bedeutet : in Stellung Terminal (1)

M bedeutet : in Stellung Modem (2)

ANHANG H: Anordnung der Schalter und Stecker,
Standard-Einstellungen bei 98/IOC

BESTUECKUNGSPLAN 1058-1.1M2



Standard-Einstellungen der Schalter S1 bis S5 bei 98/IOC

a) SIOA an KOBUS-Schnittstelle (Stecker C)

Schalter	S1				S3							
	4	3	2	1	8	7	6	5	4	3	2	1
Stellung	*	*	*	1/1	*	*	*	*	*	1	r	1

b) SIOA an RS232-Schnittstelle (Stecker D)

Schalter	S1				S3							
	4	3	2	1	8	7	6	5	4	3	2	1
Stellung	r/8	r/6	r/4	*	*	*	*	*	1	1	1	*

c) SIOA an 20mA-Loop-Schnittstelle (Stecker D)

Schalter	S1				S3							
	4	3	2	1	8	7	6	5	4	3	2	1
Stellung	r/8	r/6	1/3	*	*	*	*	*	*	*	1	*

d) SIOB an Terminal-Schnittstelle (Stecker F)

Schalter	S2				S3								S4	S5
	4	3	2	1	8	7	6	5	4	3	2	1		
Stellung	*	1/5	r/4	r/2	1	1	1	1	*	*	*	*	T/1	T/1

e) SIOB an Modem-Schnittstelle (Stecker F)

Schalter	S2				S3								S4	S5
	4	3	2	1	8	7	6	5	4	3	2	1		
Stellung	*	1/5	r/4	r/2	1	1	1	r	*	*	*	*	M/2	M/2

f) SIOB an Keyboard-Schnittstelle (Stecker E)

Schalter	S2			
	4	3	2	1
Stellung	*	*	r/4	1/1

g) Lautsprecher-Umschaltung

S2-4 in Stellung "r/8" : interner Tongeber
S2-4 in Stellung "1/7" : externer Lautsprecher

r bedeutet : Schalter rechts bzw. closed (S3)

l bedeutet : Schalter links bzw. open (S3)

* bedeutet : Schalter unwirksam

T bedeutet : in Stellung Terminal (1)

M bedeutet : in Stellung Modem (2)

Hierbei gelten für S1 und S2 die folgenden Schalter-Farbenzuordnungen:

S1-1	(1/2)	braun
S1-2	(3/4)	rot
S1-3	(5/6)	orange
S1-4	(7/8)	gelb
S2-1	(1/2)	braun
S2-2	(3/4)	rot
S2-3	(5/6)	orange
S2-4	(7/8)	gelb